

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-258821

(43)Date of publication of application : 11.09.2002

(51)Int.CI. G09G 3/36
 G09G 3/20
 H03F 3/45

(21)Application number : 2001-373302 (71)Applicant : NEC CORP

(22)Date of filing : 06.12.2001 (72)Inventor : TSUCHI HIROSHI

(30)Priority

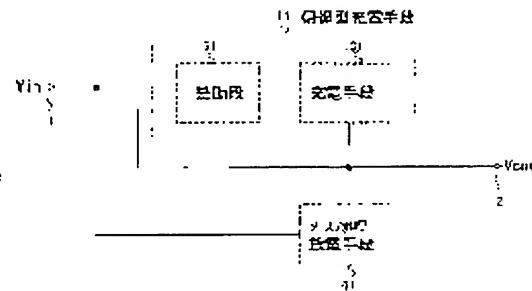
Priority number : 2000402079 Priority date : 28.12.2000 Priority country : JP

(54) FEEDBACK-TYPE AMPLIFIER CIRCUIT AND DRIVE CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a high performance circuit which can drive, even a load having large capacitance at high speed, because the circuit drives an output voltage V_{out} to a level sufficiently close to an input voltage V_{in} at a high speed and will not accompany additional charging and discharging.

SOLUTION: This circuit is provided with a feedback-type charging means 11, having a differential means 21 to which the voltage of an input terminal 1 and the voltage of an output terminal 2 are inputted differentially and a charging means 31 which charges the output terminal 2, according to the output of the differential means 21, and acting as a voltage follower; and a follower type discharge means 41 for performing the discharge action of the output terminal 2 by the follower operation of transistor according to the voltage difference between the voltage of the input terminal 1 and the voltage of the output terminal 2.



LEGAL STATUS

[Date of request for examination] 06.12.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-258821

(P2002-258821A)

(43) 公開日 平成14年9月11日 (2002.9.11)

(51) Int.Cl.⁷
G 0 9 G 3/36
3/20
H 0 3 F 3/45

識別記号
6 2 3

F 1
G 0 9 G 3/36
3/20
H 0 3 F 3/45

テマコード(参考)
5 C 0 0 6
6 2 3 B 5 C 0 8 0
A 5 J 0 6 6

審査請求 有 請求項の数76 O L (全 44 頁)

(21) 出願番号 特願2001-373302(P2001-373302)
(22) 出願日 平成13年12月6日 (2001.12.6)
(31) 優先権主張番号 特願2000-402079(P2000-402079)
(32) 優先日 平成12年12月28日 (2000.12.28)
(33) 優先権主張国 日本 (JP)

(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72) 発明者 土 弘
東京都港区芝五丁目7番1号 日本電気株
式会社内
(74) 代理人 100080816
弁理士 加藤 朝道

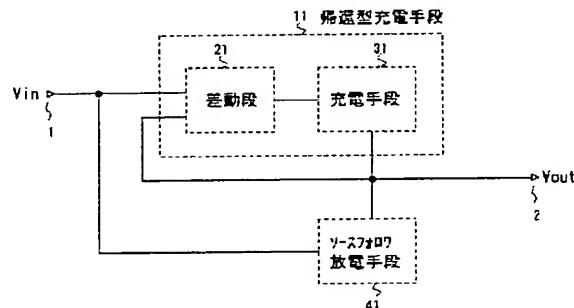
最終頁に続く

(54) 【発明の名称】 帰還型增幅回路及び駆動回路

(57) 【要約】

【課題】出力電圧Voutを入力電圧Vinに十分近いレベルに高速に駆動し、余計な充放電を伴わないため、大容量負荷に対しても高速に駆動することができ、高性能化を実現した回路の提供。

【解決手段】入力端子1の電圧と出力端子2の電圧とを差動入力する差動段21と、差動段21の出力に基づき出力端子2の充電作用を行う充電手段31とを備え、電圧フォロワとして作用する帰還型充電手段11と、入力端子1の電圧と出力端子2の電圧との電圧差に応じトランジスタのフォロワ動作により出力端子2の放電作用を行うフォロワ型放電手段41と、を備えている。



【特許請求の範囲】

【請求項1】入力端子電圧と出力端子電圧とを差動入力する差動段と、前記差動段の出力に基づき前記出力端子の充電作用を行う充電手段とを備え、前記出力端子電圧が前記入力端子電圧と同相となる電圧フォロワとして作用する帰還型充電手段と、前記入力端子電圧と前記出力端子電圧との電圧差に応じ能動素子のフォロワ動作により前記出力端子の放電作用を行うフォロワ型放電手段と、

を備えている、ことを特徴とする帰還型增幅回路。

【請求項2】前記フォロワ型放電手段が、前記入力端子電圧を受け出力バイアス電圧を制御するバイアス制御手段と、

前記出力端子と低位側電源との間に接続され、前記バイアス制御手段から出力されるバイアス電圧を入力し、前記出力端子電圧と前記バイアス電圧の差電圧に基づき出力電流が制御されるフォロワトランジスタと、

を備えている、ことを特徴とする請求項1記載の帰還型增幅回路。

【請求項3】入力端子電圧と出力端子電圧とを差動入力する差動段と、前記差動段の出力に基づき前記出力端子の放電作用を行う放電手段とを備え、前記出力端子電圧が前記入力端子電圧と同相となるフォロワとして作用する帰還型放電手段と、

前記入力端子電圧と前記出力端子電圧との電圧差に応じ能動素子のフォロワ動作により前記出力端子の充電作用を行うフォロワ型充電手段と、

を備えている、ことを特徴とする帰還型增幅回路。

【請求項4】前記フォロワ型充電手段が、前記入力端子電圧を受け出力バイアス電圧を制御するバイアス制御手段と、

高位側電源と前記出力端子との間に接続され、前記バイアス制御手段から出力されるバイアス電圧を入力し、前記出力端子と前記バイアス電圧の差電圧に基づき出力電流が制御されるフォロワトランジスタと、

を備えている、ことを特徴とする請求項3記載の帰還型增幅回路。

【請求項5】入力端子と出力端子が差動入力端に接続された差動対と、前記差動対の出力対にそれぞれ接続された負荷素子と、前記差動対の一の出力と前記負荷素子との接続点電圧を制御端子に入力し前記出力端子の充電バスに接続されたトランジスタを含む充電回路と、を備えた帰還型充電手段と、

前記出力端子と低位側電源間に接続されるフォロワ構成のトランジスタと、前記入力端子と前記低位側電源間に挿入され、定電流源で駆動され、制御端子がフォロワ構成のトランジスタの制御端子に接続されているダイオード接続されたトランジスタと、を備えたフォロワ型放電手段と、

を備えている、ことを特徴とする帰還型增幅回路。

【請求項6】入力端子と出力端子が差動入力端に接続された差動対と、前記差動対の出力対にそれぞれ接続された負荷素子と、前記差動対の出力と負荷素子との接続点電圧を制御端子に入力し前記出力端子の放電バスに接続されたトランジスタを含む放電回路と、を備えた帰還型放電手段と、前記出力端子と高位側電源間に接続されるフォロワ構成のトランジスタと、前記高位側電源と前記入力端子間に挿入され、定電流源で駆動され、制御端子がフォロワ構成のトランジスタの制御端子に接続されているダイオード接続されたトランジスタと、を備えたフォロワ型充電手段と、

を備えている、ことを特徴とする帰還型增幅回路。

【請求項7】入力端子電圧と出力端子電圧とを差動入力する差動対と、前記差動対の出力対に入力端と出力端がそれぞれ接続され負荷をなすカレントミラー回路と、を含む差動段と、高位側電源と前記出力端子との間に接続され、前記カレントミラー回路の出力端と前記差動対の出力との接続点電圧を制御端子に入力し前記カレントミラー回路と同一導電型のトランジスタを含む充電回路と、を備えた帰還型充電手段と、

前記出力端子と低位側電源間に接続されるフォロワ構成のトランジスタと、前記入力端子と前記低位側電源間に挿入され、定電流源で駆動され、制御端子がフォロワ構成のトランジスタの制御端子に接続されているダイオード接続されたトランジスタと、を備えたフォロワ型放電手段と、

を備えている、ことを特徴とする帰還型增幅回路。

【請求項8】入力端子電圧と出力端子電圧とを差動入力する差動対と、前記差動対の出力対に入力端と出力端がそれぞれ接続され負荷をなすカレントミラー回路と、を含む差動段と、低位側電源と前記出力端子との間に接続され、前記カレントミラー回路の出力端と前記差動対の出力との接続点電圧を制御端子に入力し前記カレントミラー回路と同一導電型のトランジスタを含む放電回路と、を備えた帰還型放電手段と、

前記出力端子と高位側電源間に接続されるフォロワ構成のトランジスタと、前記高位側電源と前記入力端子間に挿入され、定電流源で駆動され、制御端子がフォロワ構成のトランジスタの制御端子に接続されているダイオード接続されたトランジスタと、を備えたフォロワ型充電手段と、

を備えている、ことを特徴とする帰還型增幅回路。

【請求項9】前記フォロワ型放電手段において、前記ダイオード接続されたトランジスタと前記入力端子の接続点と高位側電源間にも定電流源を備えている、ことを特徴とする請求項7記載の帰還型增幅回路。

【請求項10】前記フォロワ型充電手段において、前記ダイオード接続されたトランジスタと前記入力端子の接続点と低位側電源間にも定電流源を備えている、ことを

特徴とする請求項8記載の帰還型增幅回路。

【請求項11】前記フォロワ型放電手段において、前記フォロワ構成のトランジスタと前記出力端子の接続点と高位側電源間に定電流源を備えている、ことを特徴とする請求項7記載の帰還型增幅回路。

【請求項12】前記フォロワ型充電手段において、前記フォロワ構成のトランジスタと前記出力端子の接続点と低位側電源間に定電流源を備えている、ことを特徴とする請求項8記載の帰還型增幅回路。

【請求項13】前記帰還型充電手段の前記充電回路の前記トランジスタの制御端子と高位側電源との間、及び前記充電回路の前記トランジスタの制御端子と低位側電源との間にそれぞれ定電流源を備えている、ことを特徴とする請求項7記載の帰還型增幅回路。

【請求項14】前記帰還型放電手段の前記放電回路の前記トランジスタの制御端子と高位側電源との間、及び前記放電回路の前記トランジスタの制御端子と低位側電源との間にそれぞれ定電流源を備えている、ことを特徴とする請求項8記載の帰還型增幅回路。

【請求項15】前記差動対をなすトランジスタ対のうち前記出力端子電圧を入力とするトランジスタの出力が前記カレントミラー回路の入力端に接続され、前記入力端子電圧を入力とするトランジスタの出力が前記カレントミラー回路の出力端に接続されている、ことを特徴とする請求項7又は8記載の帰還型增幅回路。

【請求項16】前記差動段において、前記入力端子電圧を共通に入力とするトランジスタを複数備え、前記差動段の前記カレントミラー回路は、前記出力端子電圧を入力とするトランジスタの出力に入力端が接続されるとともに、複数の出力端を有し、

前記差動段の前記カレントミラー回路の複数の出力端は共通に、前記入力端子電圧を共通に入力とするトランジスタの共通接続された複数の出力と接続されるとともに、前記充電回路のトランジスタの制御端子に接続される、ことを特徴とする請求項7記載の帰還型增幅回路。

【請求項17】前記差動段において、前記差動対をなすトランジスタ対のうち前記入力端子電圧を入力とするトランジスタが、前記出力端子電圧を入力とするトランジスタの電流駆動能力の所定倍とされ、前記差動段の前記カレントミラー回路は、前記出力端子電圧を入力とするトランジスタの出力に入力端が接続され、出力端をなすトランジスタは、入力端をなすトランジスタの電流駆動能力の所定倍とされ、

前記差動段の前記カレントミラー回路の出力端と、前記入力端子電圧を入力とするトランジスタの出力との接続点が、前記充電回路のトランジスタの制御端子に接続される、ことを特徴とする請求項7記載の帰還型增幅回路。

【請求項18】前記差動段において、前記入力端子電圧を共通に入力とするトランジスタを複数備え、前記差動

段の前記カレントミラー回路は、前記出力端子電圧を入力とするトランジスタの出力に入力端が接続されるとともに、複数の出力端を有し、

前記差動段の前記カレントミラー回路の複数の出力端は共通に、前記入力端子電圧を共通に入力とするトランジスタの共通接続された複数の出力と接続されるとともに、前記放電回路のトランジスタの制御端子に接続される、ことを特徴とする請求項8記載の帰還型增幅回路。

【請求項19】前記差動段において、前記差動対をなすトランジスタ対のうち前記入力端子電圧を入力とするトランジスタが、前記出力端子電圧を入力とするトランジスタの電流駆動能力の所定倍とされ、前記差動段の前記カレントミラー回路は、前記出力端子電圧を入力とするトランジスタの出力に入力端が接続され、出力端をなすトランジスタは、入力端をなすトランジスタの電流駆動能力の所定倍とされ、

前記差動段の前記カレントミラー回路の出力端と、前記入力端子電圧を入力とするトランジスタの出力との接続点が、前記放電回路のトランジスタの制御端子に接続される、ことを特徴とする請求項8記載の帰還型增幅回路。

【請求項20】入力端子電圧と出力端子電圧とを差動入力する第1の差動段と、

前記第1の差動段の出力に基づき前記出力端子の充電作用を行う充電手段とを備え、電圧フォロワとして作用する帰還型充電手段と、

前記入力端子電圧と前記出力端子電圧との電圧差に応じ能動素子のフォロワ動作により前記出力端子の放電作用を行うフォロワ型放電手段と、を備えている第1の帰還型增幅回路と、

前記入力端子電圧と前記出力端子電圧とを差動入力する第2の差動段と、前記第2の差動段の出力に基づき前記出力端子の放電作用を行う放電手段とを備え、電圧フォロワとして作用する帰還型放電手段と、

前記入力端子電圧と前記出力端子電圧との電圧差に応じ能動素子のフォロワ動作により前記出力端子の充電作用を行うフォロワ型充電手段と、

を備えている第2の帰還型增幅回路と、を備え、

前記入力端子は、動作制御信号で切替えが制御される第1の切替えスイッチを介して前記第1、第2の帰還型增幅回路の一方に接続され、

前記出力端子は、前記動作制御信号で切替えが制御される第2の切替えスイッチを介して前記第1、第2の帰還型增幅回路に接続される、

ことを特徴とする帰還型增幅回路。

【請求項21】前記フォロワ型放電手段が、前記入力端子電圧を受けて出力バイアス電圧を制御する第1のバイアス制御手段と、

前記出力端子と低位側電源との間に接続され、前記第1のバイアス制御手段から出力されるバイアス電圧を入力

するフォロワトランジスタと、を備えており、前記フォロワ型充電手段が、前記入力端子電圧を受けて出力バイアス電圧を制御する第2のバイアス制御手段と、

高位側電源と前記出力端子との間に接続され、前記第2のバイアス制御手段のバイアス電圧を入力とするフォロワトランジスタと、

を備えている、ことを特徴とする請求項20記載の帰還型增幅回路。

【請求項22】入力端子電圧と出力端子電圧とを差動入力し第1の定電流源で駆動される第1の差動対と、前記第1の差動対のうち前記出力端子電圧を入力とするトランジスタの出力端と前記入力端子電圧を入力とするトランジスタの出力端にそれぞれ入力端と出力端が接続された第1のカレントミラー回路と、を含む第1の差動段と、

高位側電源と前記出力端子との間に接続され、前記第1のカレントミラー回路の出力端と前記第1の差動対の出力との接続点電圧を制御端子に入力し前記第1のカレントミラー回路と同一導電型の第1のトランジスタを含む充電回路と、

を有する帰還型充電手段と、

前記出力端子と低位側電源間に接続されるフォロワ構成の第2のトランジスタと、

前記入力端子と前記低位側電源間に挿入され、第2の定電流源で駆動され、制御端子が前記フォロワ構成のトランジスタの制御端子に接続されるダイオード接続された第3のトランジスタと、

を有するフォロワ型放電手段と、

を備えた第1の帰還型增幅回路と、

前記入力端子電圧と出力端子電圧を差動入力し第3の定電流源で駆動される第2の差動対と、前記第2の差動対のうち前記出力端子電圧を入力とするトランジスタの出力端と前記入力端子電圧を入力とするトランジスタの出力端にそれぞれ入力端と出力端が接続された第2のカレントミラー回路と、を含む第2の差動段と、

低位側電源と前記出力端子との間に接続され、前記第2のカレントミラー回路の出力端と前記第2の差動対の出力との接続点電圧を制御端子に入力し前記第2のカレントミラー回路と同一導電型の第4のトランジスタを含む放電回路と、

を有する帰還型放電手段と、

前記出力端子と高位側電源間に接続されるフォロワ構成の第5のトランジスタと、

前記高位側電源と前記入力端子間に挿入され、第4の定電流源で駆動され、制御端子が前記フォロワ構成の第5のトランジスタの制御端子に接続されるダイオード接続された第6のトランジスタと、

を有するフォロワ型充電手段と、

を備えた第2の帰還型增幅回路と、

前記帰還型充電手段と帰還型放電手段の少なくとも一方は非活性に制御するとともに、前記第1の差動段、前記フォロワ型放電手段、前記第2の差動段、及び前記フォロワ型充電手段の活性化と非活性化をそれぞれ制御する制御手段と、を備えている、ことを特徴とする帰還型增幅回路。

【請求項23】前記第1の差動対と前記低位側電源間に、前記第1の定電流源と直列形態に接続されている第1のスイッチと、

前記出力端子と前記低位側電源間に、前記第2のトランジスタと直列形態に接続されている第2のスイッチと、前記第3のトランジスタと前記低位側電源間に、前記第2の定電流源と直列形態に接続されている第3のスイッチと、

前記第2の差動対と前記高位側電源間に、前記第3の定電流源と直列形態に接続されている第4のスイッチと、前記出力端子と前記高位側電源間に、前記第5のトランジスタと直列形態に接続されている第5のスイッチと、前記第6のトランジスタと前記高位側電源間に、前記第4の定電流源と直列形態に接続されている第6のスイッチと、

を備え、前記第1乃至第3のスイッチと、前記第4乃至第6のスイッチとは動作制御信号によりそれぞれオン、オフが制御され、前記第1のスイッチと前記第4のスイッチの少なくとも一方がオフされる、ことを特徴とする請求項22記載の帰還型增幅回路。

【請求項24】前記第3のトランジスタと前記入力端子の接続点と前記高位側電源間には、第5の定電流源と第7のスイッチが直列形態に接続され、

前記第6のトランジスタと前記入力端子の接続点と前記低位側電源との間には、第6の定電流源と第8のスイッチが直列形態に接続され、前記動作制御信号により、前記第7のスイッチが前記第2、前記第3のスイッチと同期してオン、オフされ、前記第8のスイッチが前記第5、前記第6のスイッチと同期してオン、オフされる、ことを特徴とする請求項23記載の帰還型增幅回路。

【請求項25】前記出力端子とプリチャージ用電源間に

第9のスイッチを備えている、ことを特徴とする請求項22乃至24のいずれか一に記載の帰還型增幅回路。

【請求項26】前記フォロワ型放電手段において、前記フォロワ構成の第2のトランジスタと前記出力端子の接続点と前記高位側電源間に直列形態に接続された第7の電流源と第9のスイッチを備え、前記フォロワ型充電手段において、前記フォロワ構成の第5のトランジスタと前記出力端子の接続点と前記低位側電源間に直列形態に接続された第8の電流源と第10のスイッチを備えている、ことを特徴とする請求項22又は23記載の帰還型增幅回路。

【請求項27】前記フォロワ型放電手段が、前記入力端子と前記第2の定電流源間に、前記第3のトランジスタと並列に接続され、所定のバイアス電圧でバイアスされる第7のトランジスタを備え。

前記フォロワ型充電手段が、前記入力端子と前記第4の定電流源間に、前記第6のトランジスタと並列に接続され、所定のバイアス電圧でバイアスされる第8のトランジスタを備えている、ことを特徴とする請求項22又は23記載の帰還型增幅回路。

【請求項28】入力端子電圧と出力端子電圧とを差動入力する差動段と、

前記差動段の出力に基づき前記出力端子の充電作用を行う充電手段と、

前記入力端子電圧と前記出力端子電圧との電圧差に応じ能動素子のフォロワ動作により前記出力端子の放電作用を行うフォロワ型放電手段と、

前記差動段の出力に基づき前記出力端子の放電作用を行う放電手段と、

前記入力端子電圧と前記出力端子電圧との電圧差に応じ能動素子のフォロワ動作により前記出力端子の充電作用を行うフォロワ型充電手段と、

を備え、

入力される動作制御信号の値により、前記充電手段と前記放電手段、前記フォロワ型放電手段と前記フォロワ型充電手段の動作が制御される、ことを特徴とする帰還型增幅回路。

【請求項29】入力端子電圧と出力端子電圧とを差動入力する差動段と、

前記差動段の出力に基づき前記出力端子の充電作用を行う充電手段と、

前記差動段の出力に基づき前記出力端子の放電作用を行う放電手段と、

前記入力端子電圧と前記出力端子電圧との電圧差に応じ能動素子のフォロワ動作により前記出力端子の充電作用を行うとともに、前記入力端子電圧と前記出力端子電圧との電圧差に応じ能動素子のフォロワ動作により前記出力端子の放電作用を行うフォロワ型充放電手段と、

を備え、

入力される動作制御信号の値により、前記充電手段と前記放電手段、前記フォロワ型充放電手段の動作が制御される、ことを特徴とする帰還型增幅回路。

【請求項30】入力端子電圧と出力端子電圧とを差動入力し第1の定電流源で駆動される第1の差動対と、前記第1の差動対の出力対に入力端がそれぞれ接続された第1、第2のカレントミラー回路と、を含む第1の差動段と、

高位側電源と前記出力端子との間に接続され、前記第2のカレントミラー回路の出力端を制御端子に入力し前記

第2のカレントミラー回路と同一導電型の第1のトランジスタを含む充電回路と、

10

20

30

40

50

前記入力端子電圧と出力端子電圧を差動入力し第2の定電流源で駆動される第2の差動対と、前記第2の差動対の出力対に入力端がそれぞれ接続された第3、第4のカレントミラー回路と、を含む第2の差動段と、

低位側電源と前記出力端子との間に接続され、前記第4のカレントミラー回路の出力端を制御端子に入力し前記第4のカレントミラー回路と同一導電型の第2のトランジスタを含む放電回路と、を備え、

前記第1及び第3のカレントミラー回路の出力端同士が接続され、前記第2及び第4のカレントミラー回路の出力端同士が接続されており、

前記入力端子電圧と前記出力端子電圧との電圧差に応じ第3トランジスタのフォロワ動作により前記出力端子の放電作用を行うフォロワ型放電手段と、

前記入力端子電圧と前記出力端子電圧との電圧差に応じ第4のトランジスタのフォロワ動作により前記出力端子の充電作用を行うフォロワ型充電手段と、

前記放電回路と前記充電回路の少なくとも一方を非活性に制御するとともに、前記フォロワ型放電手段及び前記フォロワ型充電手段の活性化と非活性化を制御する制御手段と、

を備えている、ことを特徴とする帰還型增幅回路。

【請求項31】前記高位側電源と前記出力端子との間に前記第1のトランジスタと直列に接続されている第1のスイッチと、

前記低位側電源と前記出力端子との間に前記第2のトランジスタと直列に接続されている第2のスイッチと、備え、前記第1、第2のスイッチは、動作制御信号により、少なくとも一方はオフ制御される、ことを特徴とする請求項30記載の帰還型増幅回路。

【請求項32】前記第2のカレントミラー回路の入力端と前記第1の差動対の出力との接続点と、前記第1及び第3のカレントミラー回路の出力端の接続点との間に挿入され、前記第2及び第4のカレントミラー回路の出力端の接続点の電圧を制御端子に入力とする、前記第2のカレントミラー回路と同一導電型の第5のトランジスタと、

前記第4のカレントミラー回路の入力端と前記第2の差動対の出力との接続点と、前記第1及び第3のカレントミラー回路の出力端の接続点との間に挿入され、前記第2及び第4のカレントミラー回路の出力端の接続点の電圧を制御端子に入力とする、前記第4のカレントミラー回路と同一導電型の第6のトランジスタと、

を備えている、ことを特徴とする請求項30又は31記載の帰還型増幅回路。

【請求項33】前記充電回路において、前記第1のトランジスタの制御端子と前記高位側電源間に第3のスイッチを備え、

前記放電回路において、前記第2のトランジスタの制御端子と前記低位側電源間に第4のスイッチを備え、

を備えている、ことを特徴とする請求項30乃至32のいずれか一に記載の帰還型増幅回路。

【請求項34】入力端子電圧と出力端子電圧とを差動入力し第1の定電流源で駆動される第1の差動対と、前記第1の差動対の出力対に入力端がそれぞれ接続された第1、第2のカレントミラー回路と、を含む第1の差動段と、

高位側電源と前記出力端子との間に接続され、前記第2のカレントミラー回路の出力端を制御端子に入力し前記第2のカレントミラー回路と同一導電型の第1のトランジスタを含む充電回路と、

前記入力端子電圧と出力端子電圧を差動入力し第2の定電流源で駆動される第2の差動対と、前記第2の差動対の出力対に入力端がそれぞれ接続された第3、第4のカレントミラー回路と、を含む第2の差動段と、

低位側電源と前記出力端子との間に接続され、前記第4のカレントミラー回路の出力端を制御端子に入力し前記第4のカレントミラー回路と同一導電型の第2のトランジスタを含む放電回路と、

を備え、

前記第1及び第3のカレントミラー回路の出力端同士が接続され、前記第2及び第4のカレントミラー回路の出力端同士が接続されており、

前記第2のカレントミラー回路の入力端と前記第1の差動対の出力との接続点と、前記第1及び第3のカレントミラー回路の出力端の接続点との間に挿入され、前記第2及び第4のカレントミラー回路の出力端の接続点の電圧を制御端子に入力とする、前記第2のカレントミラー回路と同一導電型の第3のトランジスタと、

前記第4のカレントミラー回路の入力端と前記第2の差動対の出力との接続点と、前記第1及び第3のカレントミラー回路の出力端の接続点との間に挿入され、前記第2及び第4のカレントミラー回路の出力端の接続点の電圧を制御端子に入力とする、前記第4のカレントミラー回路と同一導電型の第4のトランジスタと、

を備え、

前記入力端子電圧と前記出力端子電圧との電圧差に応じ第5のトランジスタのフォロワ動作により前記出力端子の放電作用を行うとともに、前記入力端子電圧と前記出力端子電圧との電圧差に応じ第6のトランジスタのフォロワ動作により前記出力端子の充電作用を行うフォロワ型充放電手段と、

前記放電回路と前記充電回路の少なくとも一方を非活性に制御するとともに、前記フォロワ型充放電手段の活性化と非活性化を制御する制御手段と、

を備えている、ことを特徴とする帰還型増幅回路。

【請求項35】前記高位側電源と前記出力端子との間に、前記第1のトランジスタと直列形態に接続された第1のスイッチと、

前記低位側電源と前記出力端子との間に、前記第2のト

ランジスタと直列形態に接続された第2のスイッチと、前記第1のトランジスタの制御端子と前記高位側電源間に挿入された第3のスイッチと、

前記第2のトランジスタの制御端子と前記低位側電源間に挿入された第3のスイッチと、を備えている、ことを特徴とする請求項34記載の帰還型増幅回路。

【請求項36】前記フォロワ型放電手段が、前記入力端子と前記低位側電源間に挿入され、制御端子が前記フォロワ構成の第3のトランジスタの制御端子に接続されているダイオード接続された第7のトランジスタを備え、前記第7のトランジスタと前記低位側電源間に第3の定電流源と第5のスイッチが直列形態に接続されており、

前記第3のトランジスタと前記低位側電源間に第6のスイッチが接続され、

前記第3のトランジスタと前記出力端子の接続点と前記高位側電源間に第4の定電流源と第7のスイッチが直列形態に接続され、

前記第7のトランジスタと前記入力端子の接続点と前記高位側電源間に第5の定電流源と第8のスイッチが直列形態に接続されており、

前記フォロワ型充電手段が、前記入力端子と前高位側電源間に挿入され、制御端子が前記フォロワ構成の第4のトランジスタの制御端子に接続されているダイオード接続された第8のトランジスタを備え、

前記第8のトランジスタと高位側電源間に、第6の定電流源と第9のスイッチが直列形態に接続されており、前記第4のトランジスタと前記高位側電源間に第10のスイッチが接続され、

前記第4のトランジスタと前記出力端子の接続点と前記低位側電源間に第7の定電流源と第11のスイッチが直列形態に接続され、

前記第8のトランジスタと前記入力端子の接続点と前記低位側電源間に第8の定電流源と第12のスイッチが直列形態に接続されている、ことを特徴とする請求項30乃至32のいずれか一に記載の帰還型増幅回路。

【請求項37】前記充電回路において、前記第1のトランジスタの制御端子と高位側電源間に第13のスイッチを備え、

前記放電回路において、前記第2のトランジスタの制御端子と低位側電源間に第14のスイッチを備え、を備えた、ことを特徴とする請求項34又は36記載の帰還型増幅回路。

【請求項38】前記フォロワ型放電手段が、前記入力端子と前記低位側電源間に挿入され、制御端子が前記フォロワ構成の第3のトランジスタの制御端子に接続されているダイオード接続された第7のトランジスタを備え、前記第7のトランジスタと低位側電源の間に、第3の定電流源が接続され、

前記出力端子と前記低位側電源間に、第3のトランジ

スタと直列形態に第5のスイッチが接続されており、前記入力端子と前記第3の定電流源間に、前記第7のトランジスタと並列に接続され、所定のバイアス電圧でバイアスされる第9のトランジスタを備え、前記フォロワ型充電手段が、前記入力端子と前高位側電源間に挿入され、制御端子が前記フォロワ構成の第4のトランジスタの制御端子に接続されているダイオード接続された第8のトランジスタを備え、前記第8のトランジスタと高位側電源の間には、第4の定電流源が接続され、前記出力端子と前記高位側電源間には前記第4のトランジスタと直列形態に第6のスイッチが接続されており、前記入力端子と前記第4の定電流源間に、前記第8のトランジスタと並列に接続され、所定のバイアス電圧でバイアスされる第10のトランジスタを備えている、ことを特徴とする請求項32記載の帰還型增幅回路。

【請求項39】請求項1乃至38のいずれか一に帰還型增幅回路において、容量素子による位相補償手段を含まない構成とされている、ことを特徴とする帰還型增幅回路。

【請求項40】出力端子に入力端子と同相の電圧を出力し位相補償容量をもたない電圧フォロワー回路よりなる帰還型充電手段と、

前記出力端子に接続され一定電圧でバイアスされるソースフォロワ又はエミッタフォロワ構成のトランジスタにより前記出力端子を放電する放電手段と、を備えたことを特徴とする帰還型增幅回路。

【請求項41】出力端子に入力端子と同相の電圧を出力し位相補償容量をもたない電圧フォロワー回路よりなる帰還型放電手段と、

前記出力端子に接続され一定電圧でバイアスされるソースフォロワ又はエミッタフォロワ構成のトランジスタにより前記出力端子を充電する充電手段と、を備えたことを特徴とする帰還型增幅回路。

【請求項42】請求項1乃至41のいずれか一に記載の前記帰還型增幅回路が、第1、第2の基準電圧間に接続される抵抗ストリングの複数のタップより取り出される複数の電圧の中から選択回路で選択された電圧を入力とする出力回路をなす、ことを特徴とする駆動回路。

【請求項43】前記出力回路が、前記入力電圧をそのまま出力するか、遮断するスイッチを含む、ことを特徴とする請求項40記載の駆動回路。

【請求項44】前記出力端子に接続される前記容量性負荷を駆動する、ことを特徴とする請求項42又は43記載の駆動回路。

【請求項45】液晶表示装置の駆動回路が、請求項42乃至44のいずれか一に記載の駆動回路を備えた、ことを特徴とする液晶表示装置。

【請求項46】非反転入力端子に入力信号が入力され反転入力端子に出力信号が帰還入力され電圧フォロワー回

路として用いられるOPアンプにおいて、

前記入力信号と前記出力信号の差動入力する差動段の出力に基づき前記OPアンプの出力端子を充電する充電手段と、

前記入力信号に基づき出力バイアス電圧を制御するバイアス制御手段と、

前記OPアンプの出力端子の放電バスに挿入され、前記バイアス制御手段から出力されるバイアス電圧を入力とするソースフォロワ又はエミッタフォロワ構成のトランジスタを備えた放電手段と、を備えている、ことを特徴とするOPアンプ。

【請求項47】非反転入力端子に入力信号が入力され反転入力端子に出力信号が帰還入力され電圧フォロワー回路として用いられるOPアンプにおいて、

前記入力信号と前記出力信号の差動入力する差動段の出力に基づき前記OPアンプの出力端子を放電する放電手段と、

前記入力信号に基づき出力バイアス電圧を制御するバイアス制御手段と、

前記OPアンプの出力端子の充電バスに挿入され、前記バイアス制御手段から出力されるバイアス電圧を入力とするソースフォロワ又はエミッタフォロワ構成のトランジスタを備えた充電手段と、を備えている、ことを特徴とするOPアンプ。

【請求項48】非反転入力端子に入力信号が入力され反転入力端子に出力信号が帰還入力され電圧フォロワー回路として用いられるOPアンプにおいて、

前記入力信号と前記出力信号の差動入力する差動段の出力に基づき前記OPアンプの出力端子を充電する充電手段と、

前記入力信号と前記出力信号の差動入力する差動段の出力に基づき前記OPアンプの出力端子を放電する放電手段と、

前記入力信号に基づき出力バイアス電圧を制御する第1のバイアス制御手段と、前記OPアンプの出力端子の放電バスに挿入され、前記バイアス制御手段から出力されるバイアス電圧を入力とするソースフォロワ又はエミッタフォロワ構成のトランジスタを備えたフォロワ型放電手段と、

前記入力信号に基づき出力バイアス電圧を制御する第2のバイアス制御手段と、前記OPアンプの出力端子の充電バスに挿入され、前記第2のバイアス制御手段から出力されるバイアス電圧を入力とするソースフォロワ又はエミッタフォロワ構成のトランジスタを備えたフォロワ型充電手段と、

を備え、前記充電手段と前記放電手段の少なくとも一方を非活性に制御する制御手段と、を備えている、ことを特徴とするOPアンプ。

【請求項49】入力端子電圧と出力端子電圧の電圧差に基づき前記出力端子の放電作用を行う放電手段を備えて

いる、ことを特徴とするバッファ回路。

【請求項50】入力端子電圧と出力端子電圧の電圧差に基づき前記出力端子の充電作用を行う充電手段を備えている、ことを特徴とするバッファ回路。

【請求項51】入力端子電圧と出力端子電圧の電圧差に基づき前記出力端子の放電作用を行う放電手段と、前記入力端子電圧と前記出力端子電圧の電圧差に基づき前記出力端子の充電作用を行う充電手段と、を備えている、ことを特徴とするバッファ回路。

【請求項52】前記放電手段が、前記入力端子電圧を受け出力バイアス電圧を制御するバイアス制御手段と、前記出力端子と低位側電源との間に接続され、前記バイアス制御手段から出力されるバイアス電圧を入力し、前記出力端子電圧と前記バイアス電圧の差電圧に基づき出力電流が制御されるフォロワトランジスタと、を備えている、ことを特徴とする請求項49又は51記載のバッファ回路。

【請求項53】前記充電手段が、前記入力端子電圧を受け出力バイアス電圧を制御するバイアス制御手段と、前記出力端子と高位側電源との間に接続され、前記バイアス制御手段から出力されるバイアス電圧を入力し、前記出力端子電圧と前記バイアス電圧の差電圧に基づき出力電流が制御されるフォロワトランジスタと、を備えている、ことを特徴とする請求項50又は51記載のバッファ回路。

【請求項54】前記差動段の出力と前記出力端子との間に、負荷駆動時における出力波形の振動抑制用の容量を備えている、ことを特徴とする請求項1乃至4、28、29のいずれか一に記載の帰還型増幅回路。

【請求項55】前記差動対の出力と前記出力端子との間に、負荷駆動時における出力波形の振動抑制用の容量を備えている、ことを特徴とする請求項5乃至19のいずれか一に記載の帰還型増幅回路。

【請求項56】前記第1の差動段の出力と前記出力端子の間、前記第2の差動段の出力と前記出力端子の間に、負荷駆動時における出力波形の振動抑制用の容量を備えている、請求項20、21、30乃至35のいずれか一に記載の帰還型増幅回路。

【請求項57】前記第1の差動対の前記入力端子電圧を入力とするトランジスタの出力端と前記出力端子の間、前記第2の差動対の前記入力端子電圧を入力とするトランジスタの出力端と前記出力端子の間に、負荷駆動時における出力波形の振動抑制用の容量を備えている、請求項22乃至27のいずれか一に記載の帰還型増幅回路。

【請求項58】前記差動段の出力と前記出力端子との間に、負荷駆動時における出力波形の振動抑制用の容量を備えている、ことを特徴とする請求項47記載のOPアンプ。

【請求項59】入力端子電圧と出力端子電圧とを差動入力する差動段と、前記差動段の出力に基づき前記出力端

子の充電作用を行う充電手段とを備え、前記出力端子電圧が前記入力端子電圧と同相となる電圧フォロワとして作用する帰還型充電手段と、前記出力端子と低位側電源との間に接続されたトランジスタと、前記トランジスタの制御端子にバイアス電圧を制御するバイアス制御手段と有する放電手段を備え、前記放電手段において、前記トランジスタの制御端子にあらかじめ定められた所定のバイアス電圧を供給するバイアス電圧供給端子を備え、前記入力端子電圧と前記バイアス電圧供給端子からの前記バイアス電圧の差電圧をサンプリングしてラッチし、ラッチした差電圧を前記出力端子と前記トランジスタの制御端子との間に保持させる電圧保持手段を備えている、ことを特徴とする帰還型増幅回路。

【請求項60】入力端子と出力端子が差動入力端に接続された差動対と、前記差動対の出力対にそれぞれ接続された負荷素子と、前記差動対の一の出力と前記負荷素子との接続点電圧を制御端子に入力とし前記出力端子の充電バスに接続されたトランジスタを含む充電回路と、を備えた帰還型充電手段と、

前記出力端子の放電バスに接続されたトランジスタと、前記放電バスに接続されたトランジスタの制御端子にバイアス電圧を制御するバイアス制御手段と有する放電手段を備え、

前記放電手段において、前記放電バスに接続された前記トランジスタの制御端子にあらかじめ定められた所定のバイアス電圧を供給するバイアス電圧供給端子を備え、前記入力端子電圧と前記バイアス電圧供給端子からの前記バイアス電圧の差電圧をサンプリングしてラッチし、ラッチした差電圧を前記出力端子と前記放電バスに接続された前記トランジスタの制御端子との間に保持させる電圧保持手段を備えている、ことを特徴とする帰還型増幅回路。

【請求項61】入力端子電圧と出力端子電圧とを差動入力する差動対と、前記差動対の出力対に入力端と出力端がそれぞれ接続され負荷をなすカレントミラー回路と、を含む差動段と、高位側電源と前記出力端子との間に接続され、前記カレントミラー回路の出力端と前記差動対の出力との接続点電圧を制御端子に入力し前記カレントミラー回路と同一導電型の第1導電型のトランジスタを含む充電回路と、を備えた帰還型充電手段と、

前記出力端子と低位側電源との間に接続された第2導電型のトランジスタと、前記第2導電型のトランジスタの制御端子にバイアス電圧を制御するバイアス制御手段と有する放電手段を備え、

前記放電手段において、前記放電手段の前記トランジスタの制御端子にあらかじめ定められた所定のバイアス電圧を供給するバイアス電圧供給端子を備え、前記入力端子電圧と前記バイアス電圧供給端子からの前記バイアス電圧の差電圧をサンプリングしてラッチし、ラッチした

差電圧を前記出力端子と前記放電手段の前記トランジスタの制御端子との間に保持させる電圧保持手段を備えている、ことを特徴とする帰還型增幅回路。

【請求項62】請求項20、22、28、30のいずれか一に記載の帰還型增幅回路において、

前記フォロワ型放電手段の代わりに、前記出力端子と低位側電源との間に接続されたトランジスタと、前トランジスタの制御端子にバイアス電圧を制御するバイアス制御手段を有する放電手段を備え、

前記放電手段のバイアス制御手段が、前記放電手段の前記トランジスタの制御端子にあらかじめ定められた所定のバイアス電圧を供給するバイアス電圧供給端子を備え、前記入力端子電圧と前記バイアス電圧供給端子からの前記バイアス電圧の差電圧をサンプリングしてラッチし、ラッチした差電圧を前記出力端子と前記放電手段の前記トランジスタの制御端子との間に保持させる電圧保持手段を備えている、ことを特徴とする帰還型增幅回路。

【請求項63】入力端子電圧と出力端子電圧とを差動入力する差動段と、前記差動段の出力に基づき前記出力端子の充電作用を行う充電手段とを備え、前記出力端子電圧が前記入力端子電圧と同相となる電圧フォロワとして作用する帰還型充電手段と、

前記出力端子と低位側電源との間に接続されたトランジスタと、前記トランジスタの制御端子にバイアス電圧を制御するバイアス制御手段を有する放電手段を備え、前記放電手段において、出力期間のはじめに、前記トランジスタの制御端子には、あらかじめ定められた所定のバイアス電圧が供給されるとともに、オン状態とされたスイッチを介して前記入力端子電圧と前記バイアス電圧とが一端と他端にそれぞれ印加され、前記入力端子電圧と前記バイアス電圧の差電圧を保持する容量を備え、つづいて前記容量の一端と他端には前記出力端子と前記トランジスタの制御端子とが接続されるようにスイッチで切替えが行われる、ことを特徴とする帰還型增幅回路。

【請求項64】入力端子と出力端子が差動入力端に接続された差動対と、前記差動対の出力対にそれぞれ接続された負荷素子と、前記差動対の一の出力と前記負荷素子との接続点電圧を制御端子に入力し前記出力端子の充電バスに接続されたトランジスタを含む充電回路と、を備えた帰還型充電手段と、

前記出力端子の放電バスに接続されたトランジスタと、前記放電バスに接続されたトランジスタの制御端子にバイアス電圧を制御するバイアス制御手段を有する放電手段を備え、

前記放電手段において、出力期間のはじめに、前記放電バスに接続されたトランジスタの制御端子には、あらかじめ定められた所定のバイアス電圧が供給されるとともに、オン状態とされたスイッチを介して前記入力端子電圧と前記バイアス電圧とが一端と他端にそれぞれ印加さ

れ、前記入力端子電圧と前記バイアス電圧の差電圧を保持する容量を備え、つづいて前記容量の一端と他端には前記出力端子と前記放電バスに接続されたトランジスタの制御端子とが接続されるようにスイッチで切替えが行われる、ことを特徴とする帰還型增幅回路。

【請求項65】入力端子電圧と出力端子電圧とを差動入力する差動対と、前記差動対の出力対に入力端と出力端がそれぞれ接続され負荷をなすカレントミラー回路と、を含む差動段と、高位側電源と前記出力端子との間に接続され、前記カレントミラー回路の出力端と前記差動対の出力との接続点電圧を制御端子に入力し前記カレントミラー回路と同一導電型の第1導電型のトランジスタを含む充電回路と、を備えた帰還型充電手段と、

前記出力端子と低位側電源との間に接続された第2導電型のトランジスタと、前記第2導電型のトランジスタの制御端子にバイアス電圧を制御するバイアス制御手段を有する放電手段を備え、前記放電手段において、出力期間のはじめに、前記放電手段の前記トランジスタの制御端子には、あらかじめ定められた所定のバイアス電圧が供給されるとともに、オン状態とされたスイッチを介して前記入力端子電圧と前記バイアス電圧とが一端と他端にそれぞれ印加され、前記入力端子電圧と前記バイアス電圧の差電圧を保持する容量を備え、つづいて前記容量の一端と他端には前記出力端子と前記トランジスタの制御端子とが接続されるようにスイッチで切替えが行われる、ことを特徴とする帰還型增幅回路。

【請求項66】請求項20、22、28、30のいずれか一に記載の帰還型增幅回路において、

20 前記フォロワ型放電手段の代わりに、前記出力端子と低位側電源との間に接続されたトランジスタと、前トランジスタの制御端子にバイアス電圧を制御するバイアス制御手段を有する放電手段を備え、前記放電手段において、出力期間のはじめに、前記放電手段の前記トランジスタの制御端子には、あらかじめ定められた所定のバイアス電圧が供給されるとともに、オン状態とされたスイッチを介して前記入力端子電圧と前記バイアス電圧とが一端と他端にそれぞれ印加され、前記入力端子電圧と前記バイアス電圧の差電圧を保持する容量を備え、つづいて前記容量の一端と他端には前記出力端子と前記トランジスタの制御端子とが接続されるようにスイッチで切替えが行われる、ことを特徴とする帰還型增幅回路。

【請求項67】前記放電手段の前記トランジスタが、出力端子にドレインが接続されソースが低位側電源に接続されたMOSトランジスタよりなり、

前記バイアス制御手段が、前記MOSトランジスタのゲートとゲートバイアス電圧入力端間に接続された第1のスイッチと、

40 前記MOSトランジスタのゲートに一端が接続された容

前記放電手段において、出力期間のはじめに、前記放電手段の前記トランジスタの制御端子には、あらかじめ定められた所定のバイアス電圧が供給されるとともに、オン状態とされたスイッチを介して前記入力端子電圧と前記バイアス電圧とが一端と他端にそれぞれ印加さ

れ、前記入力端子電圧と前記バイアス電圧の差電圧を保持する容量を備え、つづいて前記容量の一端と他端には前記出力端子と前記放電手段の前記トランジスタの制御端子とが接続されるようにスイッチで切替えが行われる、ことを特徴とする帰還型增幅回路。

量と、
前記入力端子と前記容量の他端との間に接続された第2のスイッチと、
前記出力端子と前記容量の他端との間に接続された第3のスイッチと、
を備え、

前記出力期間のはじめに、前記第1及び第2のスイッチがオンされるとともに前記第3のスイッチはオフされ、つづいて前記第1及び第2のスイッチがオフされるとともに前記第3のスイッチがオンされる、ことを特徴とする請求項63乃至66のいずれか一に記載の帰還型增幅回路。

【請求項68】入力端子電圧と出力端子電圧とを差動入力する差動段と、前記差動段の出力に基づき前記出力端子の放電作用を行う放電手段とを備え、前記出力端子電圧が前記入力端子電圧と同相となるフォロワとして作用する帰還型放電手段と、

前記出力端子と高位側電源との間に接続されたトランジスタと、前記トランジスタの制御端子にバイアス電圧を制御するバイアス制御手段を有する充電手段を備え、前記充電手段において、前記トランジスタの制御端子にあらかじめ定められた所定のバイアス電圧を供給するバイアス電圧供給端子を備え、前記入力端子電圧と前記バイアス電圧供給端子からの前記バイアス電圧の差電圧をサンプリングしてラッチし、ラッチした差電圧を前記出力端子と前記充電手段の前記トランジスタの制御端子との間に保持させる電圧保持手段を備えている、ことを特徴とする帰還型增幅回路。

【請求項69】入力端子と出力端子が差動入力端に接続された差動対と、前記差動対の出力対にそれぞれ接続された負荷素子と、前記差動対の出力と負荷素子との接続点電圧を制御端子に入力とし前記出力端子の放電バスに接続されたトランジスタを含む放電回路と、を備えた帰還型放電手段と、

前記出力端子の充電バスに接続されたトランジスタと、前記充電バスに接続されたトランジスタの制御端子にバイアス電圧を制御するバイアス制御手段を有する充電手段を備え、

前記充電手段において、前記充電バスに接続された前記トランジスタの制御端子にあらかじめ定められた所定のバイアス電圧を供給するバイアス電圧供給端子を備え、前記入力端子電圧と前記バイアス電圧供給端子からの前記バイアス電圧の差電圧をサンプリングしてラッチし、ラッチした差電圧を前記出力端子と前記充電バスに接続された前記トランジスタの制御端子との間に保持させる電圧保持手段を備えている、ことを特徴とする帰還型增幅回路。

【請求項70】入力端子電圧と出力端子電圧とを差動入力する差動対と、前記差動対の出力対に入力端と出力端がそれぞれ接続され負荷をなすカレントミラーハイブ回路と、

を含む差動段と、低位側電源と前記出力端子との間に接続され、前記カレントミラーハイブ回路の出力端と前記差動対の出力との接続点電圧を制御端子に入力し前記カレントミラーハイブ回路と同一導電型の第1導電型のトランジスタを含む放電回路と、を備えた帰還型放電手段と、

前記出力端子と高位側電源との間に接続される第2導電型のトランジスタと、前記第2導電型のトランジスタの制御端子にバイアス電圧を制御するバイアス制御手段を有する充電手段を備え、

前記充電手段において、前記充電手段の前記トランジスタの制御端子にあらかじめ定められた所定のバイアス電圧を供給するバイアス電圧供給端子を備え、前記入力端子電圧と前記バイアス電圧供給端子からの前記バイアス電圧の差電圧をサンプリングしてラッチし、ラッチした差電圧を前記出力端子と前記充電手段の前記トランジスタの制御端子との間に保持させる電圧保持手段を備えている、ことを特徴とする帰還型增幅回路。

【請求項71】請求項20、22、28、30のいずれか一に記載の帰還型增幅回路において、

20 前記フォロワ型充電手段の代わりに、前記出力端子と高位側電源との間に接続されたトランジスタと、前記トランジスタの制御端子にバイアス電圧を制御するバイアス制御手段を有する充電手段を備え、

前記充電手段のバイアス制御手段が、前記充電手段の前記トランジスタの制御端子にあらかじめ定められた所定のバイアス電圧を供給するバイアス電圧供給端子を備え、前記入力端子電圧と前記バイアス電圧供給端子からの前記バイアス電圧の差電圧をサンプリングしてラッチし、ラッチした差電圧を前記出力端子と前記充電手段の前記トランジスタの制御端子との間に保持させる電圧保持手段を備えている、ことを特徴とする帰還型增幅回路。

30 前記トランジスタの制御端子との間に保持させる電圧保持手段を備えている、ことを特徴とする帰還型增幅回路。

【請求項72】入力端子電圧と出力端子電圧とを差動入力する差動段と、前記差動段の出力に基づき前記出力端子の放電作用を行う放電手段とを備え、前記出力端子電圧が前記入力端子電圧と同相となるフォロワとして作用する帰還型放電手段と、

前記出力端子と高位側電源との間に接続されたトランジスタと、前記トランジスタの制御端子にバイアス電圧を

40 制御するバイアス制御手段を有する充電手段を備え、

前記充電手段において、出力期間のはじめに、前記トランジスタの制御端子には、あらかじめ定められた所定のバイアス電圧が供給されるとともに、オン状態とされたスイッチを介して前記入力端子電圧と前記バイアス電圧とが一端と他端にそれぞれ印加され、前記入力端子電圧と前記バイアス電圧の差電圧を保持する容量を備え、つづいて前記容量の一端と他端には前記出力端子と前記トランジスタの制御端子とが接続されるようにスイッチで切替えが行われる、ことを特徴とする帰還型增幅回路。

【請求項73】入力端子と出力端子が差動入力端に接続

された差動対と、前記差動対の出力対にそれぞれ接続された負荷素子と、前記差動対の出力と負荷素子との接続点電圧を制御端子に入力とし前記出力端子の放電バスに接続されたトランジスタを含む放電回路と、を備えた帰還型放電手段と、

前記出力端子の充電バスに接続されたトランジスタと、前記充電バスに接続されたトランジスタの制御端子にバイアス電圧を制御するバイアス制御手段を有する充電手段を備え、

前記充電手段において、出力期間のはじめに、前記充電バスに接続されたトランジスタの制御端子には、あらかじめ定められた所定のバイアス電圧が供給されるとともに、オン状態とされたスイッチを介して前記入力端子電圧と前記バイアス電圧とが一端と他端にそれぞれ印加され、前記入力端子電圧と前記バイアス電圧の差電圧を保持する容量を備え、つづいて前記容量の一端と他端には前記出力端子と前記充電バスに接続されたトランジスタの制御端子とが接続されるようにスイッチで切替えが行われる、ことを特徴とする帰還型増幅回路。

【請求項74】入力端子電圧と出力端子電圧とを差動入力する差動対と、前記差動対の出力対に入力端と出力端がそれぞれ接続され負荷をなすカレントミラー回路と、を含む差動段と、低位側電源と前記出力端子との間に接続され、前記カレントミラー回路の出力端と前記差動対の出力との接続点電圧を制御端子に入力し前記カレントミラー回路と同一導電型の第1導電型のトランジスタを含む放電回路と、を備えた帰還型放電手段と、

前記出力端子と高位側電源との間に接続される第2導電型のトランジスタと、前記第2導電型のトランジスタの制御端子にバイアス電圧を制御するバイアス制御手段を有する充電手段を備え、

前記充電手段において、出力期間のはじめに、前記充電手段の前記トランジスタの制御端子には、あらかじめ定められた所定のバイアス電圧が供給されるとともに、オン状態とされたスイッチを介して前記入力端子電圧と前記バイアス電圧とが一端と他端にそれぞれ印加され、前記入力端子電圧と前記バイアス電圧の差電圧を保持する容量を備え、つづいて前記容量の一端と他端には前記出力端子と前記充電手段の前記トランジスタの制御端子とが接続されるようにスイッチで切替えが行われる、ことを特徴とする帰還型増幅回路。

【請求項75】請求項20、22、28、30のいずれか一に記載の帰還型増幅回路において、

前記フォロワ型充電手段の代わりに、前記出力端子と高位側電源との間に接続されたトランジスタと、前記トランジスタの制御端子にバイアス電圧を制御するバイアス制御手段を有する充電手段を備え、

前記充電手段において、出力期間のはじめに、前記充電手段の前記トランジスタの制御端子には、あらかじめ定められた所定のバイアス電圧が供給されるとともに、オ

ン状態とされたスイッチを介して前記入力端子電圧と前記バイアス電圧とが一端と他端にそれぞれ印加され、前記入力端子電圧と前記バイアス電圧の差電圧を保持する容量を備え、つづいて前記容量の一端と他端には前記出力端子と前記充電手段の前記トランジスタの制御端子とが接続されるようにスイッチで切替えが行われる、ことを特徴とする帰還型増幅回路。

【請求項76】前記充電手段の前記トランジスタが、出力端子にドレインが接続されソースが高位側電源に接続されたMOSトランジスタよりなり、

前記バイアス制御手段が、前記MOSトランジスタのゲートとゲートバイアス電圧入力端間に接続された第1のスイッチと、

前記MOSトランジスタのゲートに一端が接続された容量と、

前記入力端子と前記容量の他端との間に接続された第2のスイッチと、

前記出力端子と前記容量の他端との間に接続された第3のスイッチと、

を備え、

前記出力期間のはじめに前記第1及び第2のスイッチがオンされるとともに前記第3のスイッチはオフされ、つづいて前記第1及び第2のスイッチがオフされるとともに前記第3のスイッチがオンされる、ことを特徴とする請求項72乃至75のいずれか一に記載の帰還型増幅回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、増幅回路や容量性負荷を所望の電圧に駆動する駆動回路に関し、特に、アクティブマトリクス型表示装置(TFT-LCD、TFT-OLED等)において、容量性負荷のデータ線を低電力で高速に駆動することができる駆動回路に関する。

【0002】

【従来の技術】図33は、従来の、最も簡単な帰還型充電手段の回路構成を示す図である。図33(a)を参照すると、ソースが共通接続されて定電流源905の一端に接続され、ゲートが入力端子1(Vin)、出力端子2(Vout)にそれぞれ接続され差動対をなすNチャネルMOSトランジスタ903、904と、ソースが高位側電源VDDに接続され、ゲートがPチャネルMOSトランジスタ902のゲートに接続され、ドレインがNチャネルMOSトランジスタ903のドレインに接続されたPチャネルMOSトランジスタ901(カレントミラー回路の電流出力側トランジスタ)と、ソースが高位側電源VDDに接続され、ドレインとゲートが接続されてNチャネルMOSトランジスタ904のドレインに接続されたPチャネルMOSトランジスタ902(カレントミラー回路の電流入力側トランジスタ)と、差動対の出力(NチャネルMOSトランジスタ903のドレイン)を

40

40 MOSトランジスタ903、904と、ソースが高位側電源VDDに接続され、ゲートがPチャネルMOSトランジスタ902のゲートに接続され、ドレインがNチャネルMOSトランジスタ903のドレインに接続されたPチャネルMOSトランジスタ901(カレントミラー回路の電流出力側トランジスタ)と、ソースが高位側電源VDDに接続され、ドレインとゲートが接続されてNチャネルMOSトランジスタ904のドレインに接続されたPチャネルMOSトランジスタ902(カレントミラー回路の電流入力側トランジスタ)と、差動対の出力(NチャネルMOSトランジスタ903のドレイン)を

50

ゲートに入力し、ソースが高位側電源VDDに接続され、ドレインが出力端子2(Vout)と定電流源907との接続点に接続されているPチャネルMOSトランジスタ906とを備えている。

【0003】 $V_{in} > V_{out}$ のときに、PチャネルMOSトランジスタ906の充電作用により、出力電圧Voutを高速にVinまで引き上げることができる。そして、電流源907の電流を十分小さく抑えれば、出力電圧Voutを入力電圧Vinと等しい電圧に安定駆動することができる。

【0004】ただし、充電能力が非常に強い場合は、帰還型の構成における素子の寄生容量等に起因する応答遅延によりオーバーシュートを生じるが、電流源907の放電能力を抑えているため、オーバーシュートから回復して、VoutがVinと等しい電圧に安定駆動するまでに時間がかかる（高速駆動が難しい）という課題がある。

【0005】電流源907の電流を大きくした場合には、放電能力が強くなるため、オーバーシュートとアンダーシュートが交互に繰り返されて発振する。

【0006】発振を防ぐため、図33(b)に示すように、出力端子2と、NチャネルMOSトランジスタ904のゲートの接続点と、PチャネルMOSトランジスタ906のゲート端子の間に接続される位相補償容量908を設けると、トランジスタ906の充電能力と電流源907の放電能力が共に強い場合でも速やかに安定させて、高速駆動が可能になる。

【0007】ただし位相補償容量908を高速に充放電するために、十分な電流を、差動段の電流源905に流さなければならぬため、消費電力が増加するという課題がある。

【0008】次に、図35を参照して、特開2000-338461号公報（特願平11-145768号）、SID00 Digest, pp.146-149(配布00.5.14)で、本発明者が提案した技術について説明する。図35を参照すると、回路1020において、高位側電源VDDに一端が接続された定電流源1001、1002の他端にソースが接続されたPチャネルMOSトランジスタ1003、1004を備え、PチャネルMOSトランジスタ1003のゲートとドレインが接続されて、低位側電源VSSに一端が接続された定電流源1005の他端に接続され、PチャネルMOSトランジスタ1004のゲートはPチャネルMOSトランジスタ1003のゲートに接続され、PチャネルMOSトランジスタ1004のドレインは電源VSSに接続されており、PチャネルMOSトランジスタ1003のソースは切替スイッチ1011の一の出力端に接続され、PチャネルMOSトランジスタ1004のソースは切替スイッチ1012の一の入力端に接続されている。回路1030において、電源VSSに一端が接続された定電流源1009、1010の他端にソースが接続されたNチャネルMOSトランジスタ1007、10

08を備え、NチャネルMOSトランジスタ1007のゲートとドレインが接続されて、電源VDDに一端が接続された定電流源1006の他端に接続され、NチャネルMOSトランジスタ1008のゲートはNチャネルMOSトランジスタ1007のゲートに接続され、NチャネルMOSトランジスタ1008のドレインは電源VDDに接続されており、NチャネルMOSトランジスタ1007のソースは切替スイッチ1011の他の出力端に接続され、NチャネルMOSトランジスタ1008のソースは切替スイッチ1012の他の入力端に接続されている。切替スイッチ1011の入力端は入力端子1に接続され、切替スイッチ1012の出力端は出力端子2に接続されており、出力端子2と電源VDDの間にはスイッチ1013、出力端子2と電源VSSの間にはスイッチ1014が接続されている。

【0009】この回路は、トランジスタのソースフォロワ動作を利用して駆動する回路であり、常に、ソースフォロワ動作で駆動するために、出力電圧範囲の高位側電圧を出力するときは、プリチャージ回路1040により、出力電圧Voutを、高位側電源電圧VDDにプリチャージして、回路1020を動作させ、出力電圧範囲の低位側電圧を出力するときは、プリチャージ回路1040により、出力電圧Voutを、低位側電源電圧VSSにディスチャージして、回路1030を動作させている。

【0010】回路1020は、PチャネルMOSトランジスタ1003、1004のそれぞれのソースが入力端子1および出力端子2から遮断されている状態で、PチャネルMOSトランジスタ1003、1004のそれぞれのゲート・ソース間電圧が等しくなるように定電流源1001、1002、1005の電流が設定されると、入力端子1および出力端子2に接続されて回路1020が動作するときに、電圧VDDにプリチャージされた出力端子2をPチャネルMOSトランジスタ1004のソースフォロワ動作により速やかに放電し、出力電圧Voutを入力電圧と等しい電圧まで引き下げて安定となる。

【0011】同様に回路1030は、NチャネルMOSトランジスタ1007、1008のそれぞれのソースが入力端子1および出力端子2から遮断されている状態で、NチャネルMOSトランジスタ1007、1008のそれぞれのゲート・ソース間電圧が等しくなるように定電流源1006、1009、1010の電流が設定されると、入力端子1および出力端子2に接続されて回路1030が動作するときに、電圧VSSにディスチャージされた出力端子2をNチャネルMOSトランジスタ1008のソースフォロワ動作により速やかに放電し、出力電圧Voutを入力電圧と等しい電圧まで引き上げて安定となる。

【0012】このように、図35の駆動回路は、入力電圧に応じてプリチャージ回路1040、回路1020及び回路1030を最適に制御することにより、出力電圧

V_{out} をソースフォロワ動作により速やかに入力電圧と等しい電圧に駆動することができる。

【0013】この回路は、各電流源にわずかな電流を流すだけで速やかにソースフォロワ動作による駆動が可能で、負荷容量が小さい場合には、低消費電力で駆動できるが、負荷容量が大きい場合には、ブリチャージ又はディスチャージに伴う余計な充放電が大きくなるため消費電力が増加する。

【0014】また、ブリチャージ又はディスチャージに要する時間がかかるため、高速駆動が難しい、という課題がある。

【0015】

【発明が解決しようとする課題】従来のオペアンプの帰還型増幅回路においては、出力段の充電作用と放電作用が強いため、所望の電圧まで駆動した後、帰還による遅延によりオーバーシュートとアンダーシュートが繰り返され、位相補償手段（位相補償容量）を設けなければ安定した出力が得られない。

【0016】位相補償容量を設けると、高速動作を行うためには、位相補償容量を高速に充放電するための大きな電流を流さなければならないため、消費電力が増加するという課題がある。

【0017】位相補償容量が大きいほど動作安定性がよいため、高速動作にするほど大容量の位相補償容量を設けなくてはならず、消費電力は更に増加する。

【0018】従来方式（オペアンプ）の帰還型増幅回路は、低消費電力で高速安定駆動ができなかった。

【0019】したがって、本発明の目的は、わずかな動作維持電流だけで、出力電圧 V_{out} を入力電圧 V_{in} と等しいレベルに高速に駆動し、余計な充放電を伴わないため、大容量負荷に対しても低消費電力で高速に駆動することができ、高性能化を実現した駆動回路を提供するものである。本発明の他の目的は、例えば大容量負荷の駆動時等における駆動回路の出力波形の振動を抑制する駆動回路を提供することにある。本発明のさらに他の目的は、ソースフォロワ構成の放電回路、充電回路以外の構成にて、位相補償容量を不要とした駆動回路を提供することにある。

【0020】

【課題を解決するための手段】前記課題を解決するための手段を提供する本発明は、位相補償容量をもたない帰還型充電手段（主にボルテージフォロワ回路）と、ソースフォロワ放電手段を組み合わせて構成したものである。

【0021】また本発明は、位相補償容量をもたない帰還型放電手段（主にボルテージフォロワ回路）とソースフォロワ充電手段を組み合わせて構成したものである。本発明において帰還型充電手段を構成する差動対の出力と出力端子の間に出力波形の振動抑制用の容量を設ける構成としてもよい。また本発明において帰還型放電手段

を構成する差動対の出力と出力端子の間に出力波形の振動抑制用の容量を設ける構成としてもよい。さらに本発明において、入力電圧と出力電圧の2つの入力により充電作用を生じて出力電圧を引き上げることのできる帰還型充電手段を備え、帰還型充電手段とは独立した動作で入力電圧に応じた所望の電圧と出力電圧との電圧差に応じて動作する非帰還型の放電手段（ソースフォロワ構成をとらない）で、ソースフォロワ放電手段を置き換えた構成としてもよい。同様に、帰還型放電手段（主にボルテージフォロワ回路）とソースフォロワ充電手段の組み合せにおいて、ソースフォロワ充電手段を、ソースフォロワ構成でない非帰還型の充電手段で置き換えてよい。

【0022】

【発明の実施の形態】本発明の実施の形態について説明する。本発明は、図1を参照すると、入力端子（1）の電圧と出力端子（2）の電圧とを差動入力する差動段（21）と、該差動段の出力に基づき出力端子（2）の充電作用を行う充電手段（31）とを備え、電圧フォロワとして作用する帰還型充電手段（11）と、入力端子電圧と出力端子電圧との電圧差に応じトランジスタのフォロワ動作により出力端子（2）の放電作用を行うフォロワ型放電手段（41）と、を備えている。

【0023】フォロワ型放電手段（41）は、図3を参照すると、前記入力端子電圧を受けて出力バイアス電圧を制御するバイアス制御手段（51）と、出力端子（2）と低位側電源（VSS）との間に接続され、前記バイアス制御手段（51）から出力されるバイアス電圧を入力とするフォロワトランジスタ（412）と、を備えている。

【0024】本発明は、図2を参照すると、入力端子電圧と出力端子電圧とを差動入力する差動段（22）と、該差動段の出力に基づき出力端子（2）の放電作用を行う放電手段（32）とを備え、電圧フォロワとして作用する帰還型放電手段（12）と、前記入力端子電圧と前記出力端子電圧との電圧差に応じトランジスタのフォロワ動作により前記出力端子の充電作用を行うフォロワ型充電手段（42）と、を備えている。

【0025】フォロワ型充電手段（42）は、図6を参考すると、前記入力端子電圧を受けて出力バイアス電圧を制御するバイアス制御手段（52）と、高位側電源（VDD）と前記出力端子との間に接続され、前記バイアス制御手段のバイアス電圧を入力とするフォロワトランジスタ（422）と、を備えている。

【0026】容量性負荷の駆動において、帰還型充電手段（図1の11）により負荷容量を高速充電するが、帰還による応答遅延によりわずかなオーバーシュートが生じる。

【0027】本発明において、ソースフォロワ放電手段（図1の41）はオーバーシュートした出力電圧を、オ

ーバーシュートに応じた放電能力で速やかに所望の電圧まで引き下げるにより、所望の電圧を安定に駆動することができる。ソースフォロワ放電手段を備えたことにより、位相補償容量を設けなくても発振を抑えることができる。

【0028】また、容量性負荷の駆動において、帰還型放電手段(図2の12)により負荷容量を高速放電するが、帰還による応答遅延によりわずかなアンダーシュートが生じる。

【0029】本発明において、ソースフォロワ充電手段(図2の42)はアンダーシュートした出力電圧を、アンダーシュートに応じた充電能力で速やかに所望の電圧まで引き上げることにより、所望の電圧を安定に駆動することができる。ソースフォロワ充電手段を備えたことにより、位相補償容量を設けなくても発振を抑えることができる。

【0030】本発明において、位相補償容量をもたないため、低消費電力で高速動作が可能。また位相補償容量をもたないことにより、回路素子の寄生容量等によるわずかな応答遅延しかないため、オーバーシュートやアンダーシュートを生じても十分小さいレベルに抑えられる。そしてソースフォロワ動作によりオーバーシュートやアンダーシュートを抑制し、所望の電圧に速やかに駆動することができる。なお、出力を速やかに所望の電圧に安定させるには、ソースフォロワ動作するトランジスタのチャネル長に対するチャネル幅の比を高くするほど安定性がよくなる。

【0031】なおソースフォロワ動作を行う素子は、特定のトランジスタに限らず、少なくとも2端子をもつ素子であり、2端子の電圧差の増加に応じて、素子電流(出力電流)がゼロから十分大きいレベルまで増大する特性をもち、素子電流により、充電作用または放電作用がある一端を出力端子に接続され、他端を所望の電圧出力時に最適な一定の電圧に制御されている素子であってもよいことは勿論である。

【0032】以下では、放電手段としてソースフォロワトランジスタを備えた比較例について本発明との相違点を説明しておく。図34は、放電手段としてソースフォロワトランジスタを備えた比較例を示す図である。図34を参照すると、この比較例は、図33に示した構成において、出力段の放電手段は、PチャネルMOSトランジスタ911のソースフォロワ構成となっている。差動対の出力(NチャネルMOSトランジスタ903のドレイン)は、高位側電源VDDにソースが接続されドレインが出力端子2に接続されたPチャネルMOSトランジスタ906のゲートに接続されるとともに、高位側電源VDDにソースが接続されているPチャネルMOSトランジスタ912のゲートに入力され、PチャネルMOSトランジスタ912のドレインは、定電流源913に接続されるとともに、出力端子2にソースが接続され、低位

側電源VSSにドレインが接続されているPチャネルMOSトランジスタ911のゲートに接続されている。

【0033】本発明においては、ソースフォロワ放電手段(図1の41)は、差動段(図1の21)や充電手段(図1の31)の動作とは独立した構成であり、独立した作用を生じる。

【0034】図34に示した比較例の構成では、放電手段をなすトランジスタ911のゲートの電位が、差動段の出力(NチャネルMOSトランジスタ903のドレインとPチャネルMOSトランジスタ901のドレインとの接続点電圧)により、大きく変動することになる。すなわち、図34に示した比較例においては、本発明のように、放電手段をなすPチャネルMOSトランジスタ911のゲート電圧は、入力電圧に応じた一定バイアスに制御されていない。

【0035】このため、図34に示した比較例の構成では、PチャネルMOSトランジスタ911は、 $V_{in} > V_{out}$ ではオフとされる。すなわち出力端子2の電圧 V_{out} が入力端子1の電圧 V_{in} よりも小のときは、NチャネルMOSトランジスタ903のドレイン電圧が低下し、充電手段をなすPチャネルMOSトランジスタ906がオンして出力端子2を充電し(出力端子2の電圧 V_{out} が上昇する)、このとき、PチャネルMOSトランジスタ912もオンであるため、PチャネルMOSトランジスタ911のゲートは高位側電源VDD側とされ、放電手段のPチャネルMOSトランジスタ911はオフとされる。

【0036】PチャネルMOSトランジスタ911は、 $V_{in} < V_{out}$ では、オンとなり強い放電能力をもつ構成となっている。すなわち $V_{in} < V_{out}$ では、PチャネルMOSトランジスタ912がオフとなり、PチャネルMOSトランジスタ911のゲート電圧はVSSレベルとなり、オンとなる。このとき、充電手段をなすPチャネルMOSトランジスタ906はオフとなる。

【0037】このように、出力電圧 V_{out} は V_{in} 付近で充電と放電が切替り、PチャネルMOSトランジスタ906の充電能力と、PチャネルMOSトランジスタ911の放電能力とがともに強いため、図34に示した比較例においては、位相補償容量を設けない場合には、発振する。

【0038】ところで、図34に示した比較例に、位相補償容量を設けた場合には、図33に示した回路構成と同様に、消費電力が増加する、という問題が生じる。

【0039】これに対して、本発明においては、ソースフォロワトランジスタは、ゲートバイアス制御手段から出力されるバイアス電圧を入力し、出力端子電圧とバイアス電圧の差電圧に基づき出力電流が制御される構成としたことにより、位相補償容量を設けることを不要している。なお、本発明の実施の形態において、差動段の出力と出力端子間の負荷駆動時における出力波形の振動

抑制用（波形整形用）の十分小さい容量を備えた構成としてもよい。例えば、図15の第1の差動段（213、314）の出力と出力端子（2）の間、第2の差動段（223、324）の出力と出力端子（2）の間に、負荷駆動時における出力波形の振動抑制用の容量（図17の216、217）を備えた構成としてもよい。本発明のさらに別の実施の形態において、ソースフォロワ放電手段の構成以外でも、応答遅延のほとんどない帰還構成により、位相補償容量を必要としない帰還型増幅回路や駆動回路を実現できる。この実施の形態の一例として、図47を参照すると、入力端子電圧と出力端子電圧とを差動入力する差動段（21）と、前記差動段（21）の出力に基づき前記出力端子の充電作用を行う充電手段（311）とを備え、前記出力端子電圧が前記入力端子電圧と同相となる電圧フォロワとして作用する帰還型充電手段（11；図1の11と同一構成）を備え、フォロワ型放電手段の代わりに、前記出力端子と低位側電源との間に接続されるトランジスタ（601）と、前記トランジスタの制御端子にバイアス電圧を制御するバイアス制御手段（62）を有する放電手段（61）を備えている。この放電手段（61）のバイアス制御手段（62）は、前記トランジスタ（601）の制御端子にあらかじめ定められた所定のバイアス電圧（ V_{ref} ）を供給するバイアス電圧供給端子を備え、前記入力端子電圧と前記バイアス電圧供給端子からの前記バイアス電圧の差電圧をサンプリングしてラッチし、ラッチした差電圧を前記出力端子と前記トランジスタの制御端子との間に保持させる電圧保持手段を備えている。あるいは、上記電圧保持手段として、放電手段（61）のバイアス制御手段（62）は、出力期間のはじめの期間に、前記トランジスタ（601）の制御端子には、あらかじめ定められた所定のバイアス電圧が供給されるとともに、オン状態とされたスイッチを介して前記入力端子電圧と前記バイアス電圧とが一端と他端にそれぞれ印加され、前記入力端子電圧と前記バイアス電圧の差電圧を保持する容量を備え、前記期間につづいて、前記容量の一端と他端には前記出力端子と前記トランジスタの制御端子とが接続されるようにスイッチで切替えが行われる。より詳細には、図48を参照すると、放電手段（61）は、出力端子（2）にドレインが接続されソースが低位側電源間に接続されたMOSトランジスタ（601）と、MOSトランジスタ（601）のゲートとゲートバイアス電圧入力端（ V_{ref} ）間に接続された第1のスイッチ（612）と、MOSトランジスタ（601）のゲートに一端が接続された容量（602）と、入力端子（1）と容量（602）の他端との間に接続された第2のスイッチ（611）と、出力端子（2）と容量（602）の他端との間に接続された第3のスイッチ（613）とを備えている。駆動回路の出力期間において、まず第1、第2のスイッチ（612、611）がオンし、第3のスイッチ

（613）はオフし、つづいて第1、第2のスイッチ（612、611）がオフし、第3のスイッチ（613）がオンする。この容量素子（602）の代わりに、同じ作用を与える電圧保持手段として、入力電圧 V_{in} と電圧 V_{ref} の差電圧をサンプリングしてラッチし、ラッチした差電圧を、出力端子（2）とMOSトランジスタ（601）のゲートとの間に保持させる電圧保持手段を備えてもよいことは勿論である。同様にして、フォロワ型充電手段以外の構成を備えてよい。すなわち、入力端子電圧と出力端子電圧とを差動入力する差動段と、前記差動段の出力に基づき前記出力端子の放電作用を行う放電手段とを備え、前記出力端子電圧が前記入力端子電圧と同相となるフォロワとして作用する帰還型放電手段と、前記出力端子と高位側電源との間に接続されたトランジスタと、前記トランジスタの制御端子にバイアス電圧を制御するバイアス制御手段を有する充電手段を備え、前記充電手段において、前記トランジスタの制御端子にあらかじめ定められた所定のバイアス電圧を供給するバイアス電圧供給端子を備え、前記入力端子電圧と前記バイアス電圧供給端子からの前記バイアス電圧の差電圧をサンプリングしてラッチし、ラッチした差電圧を前記出力端子と前記トランジスタの制御端子との間に保持させる電圧保持手段を備えている。あるいは、前記充電手段において、出力期間のはじめの期間に、前記トランジスタの制御端子には、あらかじめ定められた所定のバイアス電圧が供給されるとともに、オン状態とされたスイッチを介して前記入力端子電圧と前記バイアス電圧とが一端と他端にそれぞれ印加され、前記入力端子電圧と前記バイアス電圧の差電圧を保持する容量を備え、前記期間につづいて前記容量の一端と他端には前記出力端子と前記トランジスタの制御端子とが接続されるようにスイッチで切替えが行われる構成としてもよい。

【0040】

【実施例】上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。

【0041】図1は、本発明の第1の実施例の構成を示す図である。図1を参照すると、本発明の第1の実施例の回路は、入力電圧 V_{in} と出力電圧 V_{out} の2つの入力により充電作用を生じて出力電圧 V_{out} を引き上げることのできる帰還型充電手段11と、帰還型充電手段11とは独立した動作で入力電圧 V_{in} と出力電圧 V_{out} との電圧差に応じてトランジスタのソースフォロワ動作による放電作用を生じるソースフォロワ放電手段41とを備えている。

【0042】帰還型充電手段11は、入力電圧 V_{in} と出力電圧 V_{out} の2つの電圧差に応じて動作する差動段21と、差動段21の出力に応じて充電作用を生じる充電手段31とを備えている。

【0043】本実施例は、位相補償手段（位相補償容

量)を設けない構成としたことにより、低消費電力で高速駆動が可能となる。

【0044】入力電圧 V_{in} に応じて出力電圧 V_{out} に所望の電圧を出力する駆動回路において、帰還型充電手段11は、 V_{in} と V_{out} との電圧差に応じて動作し、出力電圧 V_{out} が所望の電圧よりも低い場合に充電作用により出力電圧 V_{out} を所望の電圧に引き上げる。

【0045】帰還型充電手段11は、位相補償手段を設けないことにより、低消費電力で高速に動作可能であるが、帰還型の構成では回路素子の寄生容量等により、出力電圧 V_{out} の変化が充電作用に反映されるまでのわずかな応答遅延があり、オーバーシュート(過充電)を生じる場合がある。

【0046】一方、ソースフォロワ放電手段41は、入力電圧 V_{in} と出力電圧 V_{out} の電圧差に応じた放電能力をもち、出力電圧 V_{out} が所望の電圧よりも高い場合に、トランジスタのソースフォロワ動作による放電作用により出力電圧 V_{out} を所望の電圧まで引き下げることができる。

【0047】ソースフォロワ放電手段41は、入力電圧 V_{in} と出力電圧 V_{out} の電圧差が大きいときは放電能力も高く、電圧差が小さくなるにつれて放電能力も小さくなるため、放電作用による出力電圧 V_{out} の変化は所望の電圧に近づくにつれて緩やかになる。そのため、ソースフォロワ放電手段41は、出力電圧 V_{out} を所望の電圧に速やかに変化させるとともに、所望の電圧に安定させる作用をもつ。

【0048】このため、出力電圧 V_{out} が所望の電圧よりも低い場合では、出力電圧 V_{out} は帰還型充電手段11により高速に所望の電圧に引き上げられ、このときにオーバーシュート(過充電)を生じても、ソースフォロワ放電手段41により、速やかに所望の電圧まで引き下げられて安定な出力となる。

【0049】一方、出力電圧 V_{out} が所望の電圧よりも高い場合では、帰還型充電手段11の充電作用は動作せず、出力電圧 V_{out} は、ソースフォロワ放電手段41により、 V_{in} と V_{out} の電圧差に応じたソースフォロワ放電作用により所望の電圧まで引き下げられて安定な出力となる。

【0050】また、帰還型充電手段11は、位相補償容量をもたないことにより、回路素子の寄生容量等によるわずかな応答遅延しかないため、オーバーシュートを生じた場合でも、十分小さいレベルに抑えられる。そのため、出力電圧の安定化を容易にしている。

【0051】このように、帰還型充電手段11とソースフォロワ放電手段41の組合せにより、充電時においては、高速充電とともに所望の電圧に高速安定させることができる。

【0052】次に、本発明の第2の実施例について説明する。図2は、本発明の第2の実施例の構成を示す図で

10

20

30

40

50

ある。図2を参照すると、本発明の第2の実施例は、入力電圧 V_{in} と出力電圧 V_{out} の2つの入力により放電作用を生じて出力電圧 V_{out} を引き下げるこことできる帰還型放電手段12と、帰還型放電手段12とは独立した動作で入力電圧 V_{in} と出力電圧 V_{out} との電圧差に応じてトランジスタのソースフォロワ動作による充電作用を生じるソースフォロワ充電手段42とを備えている。

【0053】帰還型放電手段12は、入力電圧 V_{in} と出力電圧 V_{out} の2つの電圧差に応じて動作する差動段22と、差動段22の出力に応じて放電作用を生じる放電手段32とを備えている。この第2の実施例においても、位相補償手段を設けないことにより、低消費電力で高速駆動が可能となる。

【0054】入力電圧 V_{in} に応じて出力電圧 V_{out} に所望の電圧を出力する駆動回路において、帰還型放電手段12は、 V_{in} と V_{out} との電圧差に応じて動作し、出力電圧 V_{out} が所望の電圧よりも高い場合に放電作用により出力電圧 V_{out} を所望の電圧に引き下げる。

【0055】帰還型放電手段12は、位相補償手段を設けないことにより、低消費電力で高速に動作可能であるが、帰還型の構成では回路素子の寄生容量等により、出力電圧 V_{out} の変化が充電作用に反映されるまでのわずかな応答遅延があり、アンダーシュート(過放電)を生じる場合がある。

【0056】一方、ソースフォロワ充電手段42は、入力電圧 V_{in} と出力電圧 V_{out} の電圧差に応じた充電能力をもち、出力電圧 V_{out} が所望の電圧よりも低い場合に、トランジスタのソースフォロワ動作による充電作用により出力電圧 V_{out} を所望の電圧まで引き上げることができる。

【0057】ソースフォロワ充電手段42のソースフォロワ充電能力は、入力電圧 V_{in} と出力電圧 V_{out} の電圧差が大きいときは充電能力も高く、電圧差が小さくなるにつれて充電能力も小さくなるため、充電作用による出力電圧 V_{out} の変化は、所望の電圧に近づくにつれて緩やかになる。すなわち、ソースフォロワ放電手段41は、出力電圧 V_{out} を所望の電圧に速やかに変化させるとともに、所望の電圧に安定させる作用をもつ。

【0058】このため、出力電圧 V_{out} が所望の電圧よりも高い場合では、出力電圧 V_{out} は帰還型放電手段12により高速に所望の電圧に引き下げられ、このときにアンダーシュート(過放電)を生じても、ソースフォロワ充電手段42により、速やかに所望の電圧まで引き上げられて安定な出力となる。

【0059】一方、出力電圧 V_{out} が所望の電圧よりも低い場合では、帰還型放電手段12の放電作用は動作せず、出力電圧 V_{out} は、ソースフォロワ充電手段42により、 V_{in} と V_{out} の電圧差に応じたソースフォロワ充電作用により所望の電圧まで引き上げられて安定な出力となる。

【0060】また、帰還型放電手段12は、位相補償容量をもたないことにより、回路素子の寄生容量等によるわずかな応答遅延しかないため、アンダーシュートを生じても十分小さいレベルに抑えられる。そのため、出力電圧の安定化を容易にしている。

【0061】このように、帰還型放電手段12とソースフォロワ放電手段42の組合せにより、放電時においては、高速放電とともに所望の電圧に高速安定させることができる。

【0062】図3は、図1のソースフォロワ放電手段41の構成の一具体例を示す図である。入力電圧Vinに応じて出力電圧Voutに所望の電圧を出力する駆動回路において、ソースフォロワ放電手段41は、ソースが output 端子2に接続され、ドレインが低位電源電圧VSSに接続されたPチャネルMOSトランジスタ412と、入力電圧Vinを受けてPチャネルMOSトランジスタ412のゲートを一定の電圧に制御するゲートバイアス制御手段51とを備えて構成される。

【0063】ゲートバイアス制御手段51は、所望の出力電圧を駆動する期間において、PチャネルMOSトランジスタ412のソースが所望の電圧のときにゲート・ソース間電圧が閾値電圧付近となるようにPチャネルMOSトランジスタ412のゲートを一定の電圧に制御する。

【0064】ソースフォロワ放電手段41の作用について説明する。出力電圧Voutが所望の電圧に変化する過程で、出力電圧Voutが所望の電圧より高い場合は、出力電圧Voutと所望の電圧との電圧差が大きいほどPチャネルMOSトランジスタ412のゲート・ソース間電圧も大きくなり、放電能力も高くなる。一方、出力電圧Voutが低下して、所望の電圧に近づくにつれゲート・ソース間電圧も小さくなり放電能力も小さくなる。

【0065】このため、出力電圧Voutは発振せずに、安定な出力が可能となる。一方、出力電圧Voutが所望の電圧より低い場合は、PチャネルMOSトランジスタ412のゲート・ソース間電圧が閾値電圧以下となり、PチャネルMOSトランジスタ412がオフして放電作用は生じない。

【0066】出力電圧Voutを所望の電圧に速やかに安定させるには、PチャネルMOSトランジスタ412のチャネル長Lに対するチャネル幅Wの比(W/L)を高くすることにより安定性が向上する。

【0067】PチャネルMOSトランジスタ412は特定のトランジスタに限らず、少なくとも2端子をもつ素子で、2端子の電圧差の増加に応じて素子電流がゼロから十分大きいレベルまで増大する特性をもち(図3(b)参照)、素子電流により放電作用がある一端を出力端子に接続され、他端を所望の電圧出力時にゲートバイアス制御手段51により最適な一定の電圧に制御されている素子であってもよい。

【0068】図4は、図1の帰還型充電手段11の構成の一具体例を示す図である。図4を参照すると、出力電圧Voutを入力電圧Vinと等しい電圧に駆動する駆動回路を構成する帰還型充電手段11において、差動段21は、NチャネルMOSトランジスタ213、214による差動入力対と、その能動負荷としてPチャネルMOSトランジスタ212、211よりなるカレントミラー回路をもつ差動段よりなり、出力電圧Voutを入力に戻す帰還型の構成である。

【0069】入力電圧Vinが低位電源電圧VSS付近でNチャネルMOSトランジスタ213がオフする電圧範囲では正常に動作しない。

【0070】充電手段31は、差動段の出力をゲートに受け、ドレインを出力端子2に接続し、ソースを上位電源電圧VDDに接続したPチャネルMOSトランジスタ311よりなる。

【0071】帰還型充電手段11を構成する差動段21と充電手段31は、Vout<Vinのときに、トランジスタ311による充電作用を生じ、出力電圧VoutをVinまで引き上げ、Vout>Vinではトランジスタ311がオフとなり充電作用は生じない。しかし、Vout<Vinにおいて出力電圧VoutがVinまで高速に変化する場合には、出力電圧Voutの変化が充電作用に反映されるまでのわずかな応答遅延があり、オーバーシュート(過充電)を生じる。

【0072】一方、ソースフォロワ放電手段41においては、ゲートバイアス制御手段51の出力がPチャネルMOSトランジスタ412のゲートに接続され、PチャネルMOSトランジスタ412のソースがVinとなるときに、ゲート・ソース間電圧が、閾値電圧Vth付近となるようにゲートを制御すると、Vout>Vinにおいて放電作用を生じ、VinとVoutの電圧差に応じたトランジスタ412のソースフォロワ放電作用により、出力電圧Voutを入力電圧Vinと等しい電圧まで引き下げることができる。

【0073】帰還型充電手段11は、位相補償手段を設けないことにより、差動段21の電流源215の電流を小さく抑えても、充電手段31のトランジスタ311のゲート電圧を速やかに変動させることができるので、低消費電力で高速充電が可能である。また位相補償容量をもたないことにより、回路素子の寄生容量等によるわずかな応答遅延しかないため、オーバーシュートを生じても十分小さいレベルに抑えられる。そのため、オーバーシュートを生じた場合でも、ソースフォロワ放電手段により、速やかに入力電圧Vinと等しい電圧を安定に出力することできる。

【0074】帰還型充電手段11の充電作用により出力電圧Voutが非常に高速に変化する場合には、オーバーシュートもやや大きくなるため、トランジスタ412のゲート・ソース間電圧も大きく、ソースフォロワ放電手

段41の放電作用も高速に行われる。

【0075】そのため、オーバーシュートした電圧から、電圧 V_{in} まで引き下げられるときに、ゲート・ソース間容量を介してトランジスタ412のゲート電圧も瞬間にわずかに引き下げられ、それにより、出力電圧 V_{out} が瞬間に電圧 V_{in} 以下まで引き下げられてしまう場合がある。そうすると、帰還型充電手段11が再び動作して充電作用が生じ、再び小さなオーバーシュートを生じ、ソースフォロワ放電手段41が再び動作するということが繰り返される。しかし、このような場合でも、ソースフォロワ放電手段41の放電能力は電圧 V_{in} に近くにつれて小さくなるようにトランジスタ412のゲートを制御しているため、出力電圧 V_{out} は何回かの減衰振動を経て最終的には電圧 V_{in} に収束して安定となる。

【0076】出力安定性をより高めるには、ソースフォロワ放電手段41のトランジスタ412のチャネル長Lに対するチャネル幅Wの比W/Lを高くする。

【0077】またソースフォロワ放電手段41において、ゲートバイアス手段51により、出力電圧 V_{out} が電圧 V_{in} となる安定状態で、トランジスタ412のドレイン電流がわずかに流れるように設定されている場合は、同じ大きさの電流がトランジスタ311にも流れる状態で安定となる。

【0078】図5は、容量性負荷を駆動したときの、図4の駆動回路の出力波形を示す図である。実線は、 $V_{in} = V_{out}$ の状態から、 V_{in} が高電圧側に変化した場合の出力電圧 V_{out} の波形、破線は、 V_{in} が低電圧側に変化した場合の出力電圧 V_{out} の波形である。図5に示す V_{in} は変化後の電圧（一定）である。

【0079】 V_{in} が高電圧側に変化した場合には、帰還型充電手段11により高い放電能力で高速に output 電圧 V_{out} は電圧 V_{in} に引き上げられる。オーバーシュートを生じた場合でも、output 電圧 V_{out} はソースフォロウ放電手段41の作用により速やかに電圧 V_{in} に駆動されて安定する。

【0080】一方、 V_{in} が低電圧側に変化した場合には、ソースフォロワ放電手段41のみが動作し、出力電圧 V_{out} は、 V_{in} と V_{out} の電圧差が大きいときには高い放電能力で高速に引き下げられるが、電圧 V_{in} に近づくにつれて放電能力が低くなり、緩やかに電圧 V_{in} に到達して安定となる。

【0081】このように、図4の駆動回路は、充電作用は高速に行うことができるが、放電作用は充電作用に比べるとやや遅い。

【0082】図6は、図2のソースフォロワ充電手段42の構成の一具体例を示す図である。図6(a)を参照すると、入力電圧 V_{in} に応じて出力電圧 V_{out} に所望の電圧を出力する駆動回路において、ソースフォロワ充電手段42は、ソースが出力端子2に接続され、ドレイン

が高位電源電圧VDDに接続されたNチャネルMOSトランジスタ422と、入力電圧Vinを受けてNチャネルMOSトランジスタ422のゲートを一定の電圧に制御するゲートバイアス制御手段52とを備えて構成される。

【0083】ゲートバイアス制御手段52は、所望の出力電圧を駆動する期間において、NチャネルMOSトランジスタ422のソースが所望の電圧のときにゲート・ソース間電圧が閾値電圧付近となるようにNチャネルMOSトランジスタ422のゲートを一定の電圧に制御する。

【0084】ソースフォロワ充電手段42の作用について説明する。出力電圧 V_{out} が所望の電圧に変化する過程で、出力電圧 V_{out} が所望の電圧より低い場合は、出力電圧 V_{out} と所望の電圧との電圧差が大きいほどNチャネルMOSトランジスタ422のゲート・ソース間電圧も大きくなり、充電能力も高くなる。一方、出力電圧 V_{out} が上昇して、所望の電圧に近づくにつれゲート・ソース間電圧も小さくなり充電能力も小さくなる。

20 【0085】このため、出力電圧 V_{out} は発振せずに、
安定な出力が可能となる。一方、出力電圧 V_{out} が所望
の電圧より高い場合は、NチャネルMOSトランジスタ
422のゲート・ソース間電圧が閾値電圧以下となり、
NチャネルMOSトランジスタ422がオフして充電作
用は生じない。

【0086】出力電圧 V_{out} を所望の電圧に速やかに安定させるには、NチャネルMOSトランジスタ422のチャネル長 L に対するチャネル幅 W の比 (W/L) を高くすることにより安定性が向上する。

30 【0087】NチャネルMOSトランジスタ422は特定のトランジスタに限らず、少なくとも2端子をもつ素子で、2端子の電圧差の増加に応じて素子電流がゼロから十分大きいレベルまで増大する特性をもち（図6（b）参照）、素子電流により充電作用がある一端を出力端子に接続され、他端を所望の電圧出力時にゲートバイアス制御手段52により最適な一定の電圧に制御されている素子であってもよい。

【0088】図7は、図6の帰還型放電手段12の構成の一具体例を示す図である。図7を参照すると、出力電

40 V_{out} を入力電圧 V_{in} と等しい電圧に駆動する駆動回路を構成する帰還型放電手段 12において、差動段 22 は、P チャネルMOS トランジスタ 223、224 による差動入力対と、その能動負荷として N チャネルMOS トランジスタ 222、221 よりなるカレントミラー回路をもつ差動段よりなり、出力電圧 V_{out} を入力に戻す帰還型の構成である。

【0089】入力電圧Vinが高位電源電圧VDD付近でPチャネルMOSトランジスタ223がオフする電圧範囲では正常に動作しない。

50 【0090】放電手段32は、差動段22の出力をゲー

トに受け、ドレンを出力端子2に接続し、ソースを低位電源電圧VSSに接続したNチャネルMOSトランジスタ321となる。

【0091】帰還型放電手段12を構成する差動段22と放電手段32は、Vout>Vinのときに、トランジスタ321による放電作用を生じ、出力電圧VoutをVinまで引き下げ、Vout<Vinではトランジスタ321がオフとなり放電作用は生じない。しかし、Vout>Vinにおいて出力電圧VoutがVinまで高速に変化する場合には、出力電圧Voutの変化が放電作用に反映されるまでのわずかな応答遅延があり、アンダーシュート(過放電)を生じる。

【0092】一方、ソースフォロワ充電手段42においては、ゲートバイアス制御手段52の出力がNチャネルMOSトランジスタ422のゲートに接続され、NチャネルMOSトランジスタ422のソースがVinとなるときに、ゲート・ソース間電圧が、閾値電圧Vth付近となるようにゲートを制御すると、Vout<Vinにおいて充電作用を生じ、VinとVoutの電圧差に応じたトランジスタ422のソースフォロワ充電作用により、出力電圧Voutを入力電圧Vinと等しい電圧まで引き上げることができる。

【0093】なお帰還型放電手段12は位相補償手段を設けないことにより、差動段22の電流源225の電流を小さく抑えて、放電手段32のトランジスタ321のゲート電圧を速やかに変動させることができるので、低消費電力で高速放電が可能である。また位相補償容量をもたないことにより、回路素子の寄生容量等によるわずかな応答遅延しかないので、アンダーシュートを生じても十分小さいレベルに抑えられる。そのため、アンダーシュートを生じた場合でも、ソースフォロワ充電手段42により、速やかに入力電圧Vinと等しい電圧を安定に output することできる。

【0094】帰還型放電手段12の放電作用により出力電圧Voutが非常に高速に変化する場合には、アンダーシュートもやや大きくなるため、トランジスタ422のゲート・ソース間電圧も大きくなり、ソースフォロワ充電手段42による充電作用も高速に行われる。

【0095】そのため、アンダーシュートした電圧から、電圧Vinまで引き上げられるときに、ゲート・ソース間容量を介してトランジスタ422のゲート電圧も瞬間にわずかに引き上げられ、それにより、出力電圧Voutが瞬間に電圧Vin以上まで引き上げられてしまう場合がある。そうすると、帰還型放電手段12が再び動作して放電作用が生じ、再び小さなアンダーシュートを生じ、ソースフォロワ充電手段42が再び動作するということが繰り返される。しかし、このような場合でも、ソースフォロワ充電手段42の充電能力は電圧Vinに近づくにつれて小さくなるようにトランジスタ422のゲートを制御しているため、出力電圧Voutは何回かの減

衰振動を経て最終的には電圧Vinに収束して安定となる。

【0096】出力安定性をより高めるには、ソースフォロワ充電手段41のトランジスタ422のチャネル長Lに対するチャネル幅Wの比W/Lを高くする。

【0097】またソースフォロワ充電手段42において、ゲートバイアス手段52により、出力電圧Voutが電圧Vinとなる安定状態で、トランジスタ422のドレン電流がわずかに流れるように設定されている場合は、同じ大きさの電流がトランジスタ321にも流れることで安定となる。

【0098】図8は、容量性負荷を駆動したときの、図7の駆動回路の出力波形を示す図である。実線は、Vin=Voutの状態から、Vinが低電圧側に変化した場合の出力電圧Voutの波形、破線は、Vinが高電圧側に変化した場合の出力電圧Voutの波形である。図8に示すVinは変化後の電圧(一定)である。

【0099】Vinが低電圧側に変化した場合には、帰還型放電手段12により高い放電能力で高速に出力電圧Voutは電圧Vinに引き下げられる。アンダーシュートを生じた場合でも、出力電圧Voutはソースフォロワ充電手段42の作用により速やかに電圧Vinに駆動されて安定する。

【0100】一方、Vinが高電圧側に変化した場合には、ソースフォロワ充電手段42のみが動作し、出力電圧Voutは、VinとVoutの電圧差が大きいときには高い充電能力で高速に引き上げられるが、電圧Vinに近づくにつれて充電能力が低くなり、緩やかに電圧Vinに到達して安定となる。

【0101】このように、図7の駆動回路は、放電作用は高速に行うことができるが、充電作用は放電作用に比べるとやや遅い。

【0102】図9は、図4のゲートバイアス手段51の構成の一具体例を示す図である。図9を参照すると、トランジスタ412と同極性のトランジスタ411と2つの電流源413、414とを備えて構成されている。PチャネルMOSトランジスタ411は、そのソースが入力端子1と接続されるとともに定電流源413を介して高電位電源VDDに接続され、ドレンとゲートは共通接続されて定電流源414を介して低電位電源VSSに接続する。トランジスタ411のサイズおよび定電流源414の電流は、トランジスタ412のソースが電圧Vinのときに、トランジスタ411、412のゲート・ソース間電圧が共に等しく閾値電圧付近となるように設定する。

【0103】これにより、トランジスタ411のゲート・ソース間電圧は定電流源414の電流により設定されるため、トランジスタ411、412の共通ゲート電圧は入力電圧Vinに応じて一定に制御され、トランジスタ412は、ソースフォロワ放電動作時に出力電圧Voutを

入力電圧 V_{in} まで引き下げたところで出力安定状態となる。また定電流源 413 は、定電流源 414 と等しい電流に設定することにより、入力電圧 V_{in} を与える入力端子 1 の電流供給能力が低い場合でも容易にトランジスタ 411、412 の共通ゲート電圧を一定に制御できる。最も簡単には、トランジスタ 411、412 を同じサイズで設計し、電流源 413、414 の電流を十分小さく設定すればよい。なお入力電圧 V_{in} を与える入力端子 1 の電流供給能力が高い場合は、電流源 413 はなくてもよい。

【0104】ソースフォロワ放電手段 41 は、帰還型充電手段 11 との組合せにより高速駆動という新規な効果を実現できる。またソースフォロワ放電手段 41 は、電流源 413、414 が十分小さい電流に設定されるため、低消費電力である。したがって、帰還型充電手段 11 とソースフォロワ放電手段 41 はそれぞれ低消費電力であり、両者を組み合わせた駆動回路は低消費電力となる。

【0105】ところで、図 9 に示す回路の動作範囲は、低位電源電圧 V_{SS} 付近を除く、それより高電位側で高位電源電圧 V_{DD} までの電圧範囲である。これは、差動段 21 は入力電圧 V_{in} が低位電源電圧 V_{SS} 付近でトランジスタ 213 がオフする電圧範囲では動作せず、またソースフォロワ放電手段 41 は、低位電源電圧 V_{SS} からトランジスタ 412 の閾値電圧分高い電圧までしか出力電圧 V_{out} を引き上げることができないためである。

【0106】図 10 は、図 7 のゲートバイアス手段 52 の構成の一具体例を示す図である。図 10 を参照すると、トランジスタ 422 と同極性のトランジスタ 421 と 2 つの電流源 423、424 とを備えて構成されている。N チャネル MOS トランジスタ 421 は、そのソースが入力端子 1 と接続されるとともに定電流源 423 を介して低位電源 V_{SS} に接続され、ドレインとゲートは共通接続されて定電流源 424 を介して高位電源 V_{DD} に接続されている。トランジスタ 421 のサイズおよび定電流源 424 の電流は、トランジスタ 422 のソースが電圧 V_{in} のときに、トランジスタ 421、422 のゲート・ソース間電圧が共に等しく閾値電圧付近となるように設定する。

【0107】これにより、トランジスタ 421 のゲート・ソース間電圧は定電流源 424 の電流により設定されるため、トランジスタ 421、422 の共通ゲート電圧は入力電圧 V_{in} に応じて一定に制御され、トランジスタ 422 は、ソースフォロワ充電動作時に出力電圧 V_{out} を入力電圧 V_{in} まで引き上げたところで出力安定状態となる。また定電流源 423 は、定電流源 424 と等しい電流に設定することにより、入力電圧 V_{in} を与える入力端子 1 の電流供給能力が低い場合でも容易にトランジスタ 421、422 の共通ゲート電圧を一定に制御できる。最も簡単には、トランジスタ 421、422 を同じサイ

ズで設計し、電流源 423、424 の電流を十分小さく設定すればよい。なお入力電圧 V_{in} を与える入力端子 1 の電流供給能力が高い場合は、電流源 423 はなくてもよい。

【0108】ソースフォロワ充電手段 42 は、帰還型放電手段 12 との組合せにより高速駆動という新規な効果を実現できる。またソースフォロワ充電手段 42 は、電流源 423、424 が十分小さい電流に設定されるため、低消費電力である。したがって、帰還型放電手段 12 とソースフォロワ充電手段 42 はそれぞれ低消費電力であり、両者を組み合わせた駆動回路は低消費電力となる。

【0109】なお図 10 に示した回路の動作範囲は、高位電源電圧 V_{DD} 付近を除く、それより低電位側で低位電源電圧 V_{SS} までの電圧範囲である。これは、差動段 22 は入力電圧 V_{in} が高位電源電圧 V_{DD} 付近でトランジスタ 223 がオフする電圧範囲では動作せず、またソースフォロワ充電手段 42 は、高位電源電圧 V_{DD} からトランジスタ 422 の閾値電圧 V_{th} 分低い電圧までしか出力電圧 V_{out} を引き上げることができないためである。

【0110】図 11 は、図 4 のソースフォロワ放電手段 41 の変更例を示す図である。図 11 に示した変更部分の構成は、図 7 にも適用可能である。図 11 を参照すると、この変形例では、図 4 に示したソースフォロワ放電手段 41 の P チャネル MOS トランジスタ 412 のソースと出力端子 2 と N チャネル MOS トランジスタ 214 のゲートの接続点と、高位電源 V_{DD} との間に、出力電圧 V_{out} が電圧 V_{in} となる安定状態で、トランジスタ 412 のドレイン電流と同じ電流を供給する電流源 415 を備えている。かかる構成により、安定状態で、トランジスタ 311 にドレイン電流が流れないようにすることができる。

【0111】出力電圧 V_{out} が電圧 V_{in} となる安定状態で、トランジスタ 311 にドレイン電流が流れの場合には、差動段 21 の出力が安定している必要がある。図 11 に示す構成では、安定状態でトランジスタ 311 にドレイン電流が流れないとため、安定状態での差動段 21 の出力がトランジスタ 311 がオフとなる任意の電位をとることができる。したがって、差動段出力の安定動作点がトランジスタ 311 のオフとなる電位であるような差動段も用いることができる。

【0112】図 12 は、図 4 の充電手段 31 の変更例を示す図である。図 12 に示した変更部分の構成は、図 7 にも適用可能である。図 12 を参照すると、トランジスタ 311 のゲートと高位電源 V_{DD} の間、低位電源 V_{SS} の間に等しい電流の電流源 351、352 が設けられている。

【0113】図 4 に示す構成では、トランジスタ 311 のサイズが大きい場合、トランジスタ 311 のゲート容

量が大きくなり、応答遅延が大きくなるため、出力電圧 V_{out} の高速安定性を高めるためには、差動段の電流源 215 の電流を大きくする必要がある。しかし差動段の電流源 215 の電流を大きくしても、その電流の約半分しかトランジスタ 311 のゲート電圧の変化に寄与しない。

【0114】これに対して、図12に示す構成では、電流源 351、352 に流れる電流が全てトランジスタ 311 のゲート電圧の変化に寄与するため、差動段の電流源 215 の電流を大きくする場合よりも少ない電流増加でトランジスタ 311 のゲート電圧を速やかに変動させることができる。

【0115】図13は、図4の充電手段31の変更例を示す図である。図13に示した変更部分の構成は、図7にも適用可能である。

【0116】図13を参照すると、図4において、差動段21のトランジスタ 211、213 を並列に接続した構成である。トランジスタ 211A および 211B、トランジスタ 213A および 213B のそれぞれのドレン同士、ゲート同士、ソース同士が共通接続されている。そしてトランジスタのサイズは、トランジスタ 211A および 211B、212 が互いに等しく、トランジスタ 213A、213B、214 が互いに等しい。

【0117】図4において、差動段21はプロセスによるトランジスタ特性ばらつきを防ぐためには、トランジスタ 211、212 を互いに等しく、トランジスタ 213、214 を互いに等しく設計する。しかし、この場合、電流源 215 の電流の半分しか、トランジスタ 211、213 側に流れないので、トランジスタ 311 のトランジスタサイズが大きい場合には、ゲート容量による応答遅延によって、出力電圧が安定しにくい場合がある。

【0118】そこで、トランジスタ 211、213 に対して図13のように同じサイズのトランジスタ 211A、211B、213A、213B の2つずつ設けると、電流源 215 の電流の2/3がトランジスタ 311 のゲート電圧の変化に寄与するため、電流源 215 の電流を増加させなくともトランジスタ 311 の応答遅延を抑えることができ、またプロセスによるトランジスタ特性ばらつきを防ぐこともできる。この場合、トランジスタ 211A および 211B を、一つのトランジスタで電流駆動能力をトランジスタ 212 の2倍とし、トランジスタ 213A および 213B を、一つのトランジスタで電流駆動能力をトランジスタ 214 の2倍とする構成としてもよい。

【0119】図14は、高速充電可能な駆動回路10（図1に示した回路構成）と、高速放電可能な駆動回路20（図2に示した回路構成）を組み合わせた駆動回路である。切替スイッチ3、4で、駆動回路10と駆動回路20のいずれか一方を選択して駆動することにより、

充電も放電も高速に行うことができる。

【0120】動作制御信号は、切替スイッチ3、4で選択されなかった回路の動作を停止させ、電力の消費を抑える。また動作制御信号は、駆動回路10と駆動回路20の両方を停止させて出力を停止させることもできる。

【0121】また駆動回路10が、図9のような低位電源電圧 V_{SS} 付近で動作しない駆動回路で、駆動回路20が図10のような高位電源電圧 V_{DD} 付近で動作しない駆動回路である場合でも、出力する電圧に応じて、駆動回路10と駆動回路20を切替えて駆動することにより、低位電源電圧 V_{SS} から高位電源電圧 V_{DD} までの電源電圧範囲での動作が可能となる。

【0122】図15は、図14の回路構成の一具体例を示す図であり。図14の駆動回路10を図9に示した構成とし、駆動回路20を図10に示した構成とし、動作制御信号（図中では省略）によりオン及びオフ制御されるスイッチ521、551、552、553、およびスイッチ522、561、562、563を含む。

【0123】駆動回路10は、スイッチ521、551、552、553が全てオンのとき動作し、全てオフのとき電流が全て遮断されて停止する。駆動回路20は、スイッチ522、561、562、563が全てオンのとき動作し、全てオフのとき電流が全て遮断されて停止する。上記各スイッチは、図14のスイッチ3、4の切替機能も含む。

【0124】図15に示した回路の動作範囲は、駆動電圧によるが低位電源電圧 V_{SS} から高位電源電圧 V_{DD} までの電源電圧範囲での動作が可能。ただし低位電源電圧 V_{SS} 付近での充電作用および高位電源電圧 V_{DD} 付近での放電作用はできない。例えば、任意の中間電圧に対して、高電位側電圧と低電位側電圧を交互に駆動する場合には、高電位側電圧を駆動する場合に駆動回路10を動作させ、低電位側電圧を駆動する場合に駆動回路20を動作させることにより、電源電圧範囲での動作が可能である。

【0125】図16は、図15の変更例を示す図であり、図15の出力端子2にプリチャージ手段を備えたものであり、プリチャージ手段は、プリチャージ電圧 V_{CC} をスイッチ599を介して出力端子2に接続して構成される。駆動回路10または駆動回路20を動作させる前に、スイッチ599をオンとして、出力端子2を、電圧 V_{CC} にプリチャージする。

【0126】スイッチ599をオフとしてプリチャージを終了させた後に、回路10または回路20を動作させる。なおプリチャージ電圧 V_{CC} は複数のレベル電圧であってもよい。

【0127】図16に示した回路の動作範囲は、プリチャージ電圧 V_{CC} を最適に設定することにより、プリチャージ電圧 V_{CC} に対して高電位側電圧を駆動する場合に駆動回路10を動作させ、低電位側電圧を駆動する場合に

駆動回路20を動作させることにより、任意の駆動に対して低位電源電圧VSSから高位電源電圧VDDまでの電源電圧範囲での動作が可能である。

【0128】図17は、図15のソースフォロワ放電手段41、ソースフォロワ充電手段42の変更例を示す図である。図17を参照すると、この回路においては、図11のソースフォロワ放電手段41の原理を用いて、出力電圧Voutの安定状態において帰還型充電手段11、帰還型放電手段12にそれぞれ含まれる充電手段および放電手段から出力端子2へ電流が流れないようにしている。ソースフォロワ放電手段41において、PチャネルMOSトランジスタ412のソースと高位電源VDD間に、スイッチ554と定電流源415を備え、ソースフォロワ充電手段42において、NチャネルMOSトランジスタ422のソースと低位電源VSS間に、スイッチ564と定電流源425を備えている。

【0129】図18は、図15の変更例を示す図である。図18を参照すると、この回路においては、ソースフォロワ放電手段41とソースフォロワ充電手段42をひとつにしたソースフォロワ充放電手段43を構成し、ソースフォロワ放電手段41とソースフォロワ充電手段42の両方の作用をもち、素子数を減らしている。

【0130】ソースフォロワ充放電手段43において、ソースフォロワ放電手段41のトランジスタ411、412、電流源414、スイッチ553と、ソースフォロワ充電手段42のトランジスタ421、422、電流源424、スイッチ563はそのまま用いる。

【0131】そしてトランジスタ431、432を付加している。トランジスタ411、412は、それぞれのゲート・ソース間電圧が等しくなるようにそれぞれの素子サイズと電流源414の電流を設定し、同様にトランジスタ421、422は、それぞれのゲート・ソース間電圧が等しくなるようにそれぞれの素子サイズと電流源424の電流を設定し、さらに電流源414、424は等しい電流に設定する。

【0132】ソースフォロワ充放電手段43は、特開2000-338461号公報（特願平11-145768号）で提案している技術を応用した回路である。ソースフォロワ充放電手段43の作用は、帰還型充電手段11を動作させるとには、スイッチ553をオンとしてトランジスタ412にソースフォロワ放電作用を動作させ、帰還型放電手段12を動作させるとには、スイッチ563をオンとしてトランジスタ422にソースフォロワ充電作用を動作させる。

【0133】またトランジスタ431、432は、それぞれのゲートバイアス電圧BN、BPが最適な電圧に制御されることにより、入力電圧Vinが電源電圧VDDまたはVSS付近でトランジスタ411または421がオフする場合でも、電流源414、424の電流をトランジスタ431、432を介して流すことができる。

【0134】ソースフォロワ充放電手段43は、トランジスタ412が低位電源電圧VSSから閾値電圧分高い電圧までしか出力電圧Voutを引き下げることができず、トランジスタ422が高位電源電圧VDDから閾値電圧分低い電圧までしか出力電圧Voutを引き上げることができないため、スイッチ553、563を切替えてソースフォロワ充電作用とソースフォロワ放電作用を動作させる場合には、図18の動作範囲は、図15のものと同様である。

【0135】また、ソースフォロワ充放電手段43は、帰還型充電手段11または帰還型放電手段12を動作させると、スイッチ553、563の両方をオンとして、ソースフォロワ充電作用とソースフォロワ放電作用の両方を動作可能とすることもできる。この場合には、入力電圧Vinが出力電圧Voutより高い場合に、トランジスタ422がソースフォロワ充電作用を生じ、入力電圧Vinが出力電圧Voutより低い場合にトランジスタ412がソースフォロワ放電作用を生じる。

【0136】帰還型充電手段11または帰還型放電手段12と同じ作用を生じても、帰還型充電手段11または帰還型放電手段12の作用の方が強いため（ソースフォロワ充放電手段43よりも出力電流大）、出力電圧Voutの変化にほとんど影響は与えない。

【0137】しかしながら、入力電圧Vinが低位電源電圧VSS付近で帰還型充電手段11が動作しない電圧範囲でソースフォロワ充放電手段43のトランジスタ422により充電作用を生じさせることができ、同様に、入力電圧Vinが高位電源電圧VDD付近で帰還型放電手段12が動作しない電圧範囲でソースフォロワ充放電手段43のトランジスタ412により放電作用を生じさせることができる。したがって、このときの図18の回路の動作範囲は、任意の駆動に対して低位電源電圧VSSから高位電源電圧VDDまでの電源電圧範囲での動作が可能である。

【0138】図19は、図14の構成の変形例を示す図であり、図14において、差動段21、22を一つの差動段23に置き換え、差動段23の出力で充電手段31および放電手段32を制御する構成としたものである。差動段23は、充電手段31と放電手段41のどちらが動作する場合でも動作する。

【0139】動作制御信号は、充電手段31とソースフォロワ放電手段41が動作するときは、少なくとも放電手段32は停止させ、放電手段32とソースフォロワ充電手段42が動作するときは、少なくとも充電手段31は停止させる。

【0140】図14に示す回路では、駆動回路10と駆動回路20がそれぞれ独立して動作するため、例えばS1プロセスにおいて素子特性にばらつきがでる場合には、駆動回路10と駆動回路20でそれぞれ出力ばらつきが生じる。したがって駆動電圧に応じて駆動回路10

と駆動回路20を切替えて駆動する駆動回路では、複数の駆動電圧の相対的な出力ばらつきも大きくなる。

【0141】一方、図19に示す構成のように、一つの差動段23から充電手段31および放電手段32の動作を制御する構成では、例えばLSIプロセスにおいて素子特性にばらつきができる場合でも、充電手段31および放電手段32のそれぞれの相対的な出力ばらつきを抑えることが可能である。

【0142】ソースフォロワ放電手段41およびソースフォロワ充電手段42は、差動段23、充電手段31、放電手段32とは独立して動作するが、充電手段31および放電手段42の駆動能力がソースフォロワ放電手段41およびソースフォロワ充電手段42に比べて十分高い場合には、出力電圧Voutは充電手段31または放電手段32の出力によってほとんど決まる。そのため、図19に示す構成では、複数の駆動電圧の相対的な出力ばらつきを抑えることができる。

【0143】図20は、図19の構成の変形例を示す図であり、図19において、ソースフォロワ放電手段41およびソースフォロワ充電手段42の替わりに、両方の作用を行うことができるソースフォロワ充放電手段43に置き換えて構成したものである。

【0144】図21は、差動対を一つで構成した図19の構成の一具体例を示す図である。図21を参照すると、この回路においては、充電手段31の動作を制御するスイッチ531と、放電手段32の動作を制御するスイッチ541を備え、スイッチ531、541は、充電手段31と放電手段32の少なくとも一方は停止させるように制御する。

【0145】差動段23は、NMOS差動入力回路（上側；高位側電源VDD側）と、PMOS差動入力回路（下側；低位側電源VSS側）を組み合わせて構成されている。

【0146】NMOS差動入力回路（上側）は、ソースが共通接続されて定電流源257に接続され入力Vinと出力Voutをゲートに入力し差動対をなすNチャネルMOSトランジスタ255、256と、ソースが電源VDDに接続され差動対の出力にドレインとゲートが接続されたPチャネルMOSトランジスタ252、253と、ソースが電源VDDに接続されゲートがPチャネルMOSトランジスタ252、253のゲートにそれぞれ接続されたPチャネルMOSトランジスタ251、254と、を備え、PチャネルMOSトランジスタ254のドレインは、充電手段31のPチャネルMOSトランジスタ311のゲートに接続されている。

【0147】PMOS差動入力回路（下側）は、ソースが共通接続されて定電流源267に接続され入力Vinと出力Voutをゲートに入力し差動対をなすPチャネルMOSトランジスタ265、266と、ソースが電源VSSに接続され差動対の出力にドレインとゲートが接続さ

れたNチャネルMOSトランジスタ262、263と、ソースが電源VSSに接続されゲートがNチャネルMOSトランジスタ262、263のゲートにそれぞれ接続されたPチャネルMOSトランジスタ261、264と、を備え、NチャネルMOSトランジスタ264のドレインは、放電手段32のNチャネルMOSトランジスタ321のゲート及びPチャネルMOSトランジスタ254のドレインに接続されており、NチャネルMOSトランジスタ261のドレインは、PチャネルMOSトランジスタ251のドレインに接続されている。

【0148】Vin>Voutで、NチャネルMOSトランジスタ255、256のうち、トランジスタ255により多くの電流を流すよう作用するため、トランジスタ255、256のドレイン電流をミラー電流として出力するトランジスタ251、254のドレイン電流も、トランジスタ251の方が大きくなる。

【0149】一方、Vin<Voutでは、トランジスタ255、256のドレイン電流をミラー電流として出力するトランジスタ251、254のドレイン電流は、トランジスタ254の方が大きくなる。差動対トランジスタ251、254の電流の和は、電流源257で設定される。

【0150】同様に、PMOS差動入力回路（下側）は、Vin>Voutで、トランジスタ265、266のうちトランジスタ266により多くの電流を流すよう作用するため、トランジスタ261、264のドレイン電流は、トランジスタ264の方が大きく、Vin<Voutではトランジスタ261の方が大きくなる。差動対トランジスタ261、264の電流の和は電流源267で設定される。

【0151】トランジスタ251、254のドレイン端子は、それぞれトランジスタ261、264のドレイン端子と接続されており、電流源257、267を等しい電流に設定すると、トランジスタ251、261の共通ドレイン端子N14、およびトランジスタ254、264の共通ドレイン端子N15は、Vin>Voutで、N14の端子電圧は上昇し、N15の端子電圧は低下する。

【0152】一方、Vin<Voutでは、N14の端子電圧は低下し、N15の端子電圧は上昇する。

【0153】Vin=Voutでは、トランジスタ251、261が、またトランジスタ254、264がそれぞれ互いに等しいドレイン電流となるため、N15およびN14の端子電圧は任意の電圧をとることができる。

【0154】そして、ノードN15を差動段23の出力端子とし、充電手段31のトランジスタ311および放電手段32のトランジスタ321のゲートへの共通出力端子とする。

【0155】これにより、Vin>Voutで、スイッチ531がオン状態では、N15の端子電圧が低下することにより、トランジスタ311の充電作用が生じて、出力

電圧 V_{out} が引き上げられ、 $V_{in} < V_{out}$ で、スイッチ 5 4 1 がオン状態では、N 1 5 の端子電圧が上昇することにより、トランジスタ 3 2 1 の放電作用が生じて、出力電圧 V_{out} が引き下げる。

【0156】 V_{out} が V_{in} に近づくにつれて、N 1 5 の端子電圧は、充電時には、トランジスタ 3 1 1 のゲート・ソース間電圧が閾値電圧付近となる電圧レベルまで上昇し、放電時には、トランジスタ 3 2 1 のゲート・ソース間電圧が閾値電圧付近となる電圧レベルまで低下する。

【0157】 充電時において、入力電圧 V_{in} が上位電源電圧 V_{DD} 付近に変化した場合、差動段 2 3 のトランジスタ 2 6 5 がオフし、さらに、トランジスタ 2 6 1、2 6 2 もオフとなり、N 1 4 の端子電圧は上昇する。

【0158】 一方、N 1 5 の端子電圧は、 $V_{in} > V_{out}$ では低い電圧で、トランジスタ 3 1 1 を充電動作させて出力電圧 V_{out} を引き上げる。そして、出力電圧 V_{out} の上昇に伴って、ノード N 1 5 の電圧も上昇する。

【0159】 ところが、出力電圧 V_{out} がトランジスタ 2 6 6 がオフするレベルまで上昇すると、トランジスタ 2 6 3、2 6 4 もオフとなり、N 1 5 の端子電圧は、高電位電源電圧 V_{DD} 付近まで上昇してトランジスタ 3 1 1 をオフさせる。そのため、制御可能な出力電圧 V_{out} の電圧範囲は、上限が高位電源電圧 V_{DD} からトランジスタ 2 6 6 の閾値電圧分低い電圧までとなる。

【0160】 これは、放電時において、入力電圧 V_{in} が低位電源電圧 V_{SS} 付近に変化した場合も同様に、制御可能な出力電圧 V_{out} の電圧範囲は、下限が低位電源電圧 V_{SS} からトランジスタ 2 5 6 の閾値電圧分高い電圧までとなる。

【0161】 したがって、図 2 1 に示した回路の動作範囲は、電源電圧 V_{DD} 、 V_{SS} 付近の一部の電圧範囲を除く、その中間の電圧範囲で動作する。

【0162】 図 2 2 は、図 2 1 の変更例を示す図である。図 2 2 を参照すると、差動段 2 3 において、ドレインがノード N 1 4 に接続され、ゲートがノード N 1 5 に接続され、ソースが、P チャネル MOS トランジスタ 2 6 6 のドレインに接続された N チャネル MOS トランジスタ 2 8 1 と、ドレインがノード N 1 4 に接続され、ゲートがノード N 1 5 に接続され、ソースが、N チャネル MOS トランジスタ 2 5 6 のドレインに接続された P チャネル MOS トランジスタ 2 8 2 とが付加されており、図 2 2 の動作範囲は任意の駆動に対して低位電源電圧 V_{SS} から高位電源電圧 V_{DD} までの電源電圧範囲での動作が可能となる。

【0163】 差動段 2 3 の正常動作においては、図 2 1 と同様に、 $V_{in} = V_{out}$ 以外では、N 1 4 と N 1 5 のそれぞれの端子電圧は相反する電位変動する。

【0164】 差動段 2 3 にトランジスタ 2 8 1、2 8 2 を設けた場合、充電時において、入力電圧 V_{in} が上位電

源電圧 V_{DD} 付近に変化すると、出力電圧 V_{out} は、トランジスタ 2 6 6 の閾値電圧レベルまで上昇し、N 1 4 および N 1 5 の端子電圧は共に上昇しようとする。このときトランジスタ 2 8 1 は、ドレインが N 1 4、ゲートが N 1 5、ソースがトランジスタ 2 6 3 のドレインに接続されており、ドレインが高電位、ソースが低電位、ゲートが高電位にならうとすると、トランジスタ 2 8 1 はオン状態となり、N 1 4 とトランジスタ 2 6 3 のドレイン端子との間に電流バスを発生させる。

【0165】 これにより、PMOS 差動対トランジスタ 2 6 5、2 6 6 がオフ状態であっても、トランジスタ 2 5 1 のドレイン電流がトランジスタ 2 6 3 に流れ、トランジスタ 2 6 3、2 6 4 のカレントミラー回路が動作する。

【0166】 これにより、N 1 5 の端子電圧は NMOS 差動対トランジスタ 2 5 5、2 5 6 のドレイン電流の変動に応じた電位変動を生じて、トランジスタ 3 1 1 は充電動作を行うことができる。

【0167】 すなわち、充電時に、入力電圧 V_{in} が上位電源電圧 V_{DD} 付近に変化した場合でも、差動段 2 3 は NMOS 差動入力回路（上側）とトランジスタ 2 6 3、2 6 4 によるカレントミラー回路の動作により、N 1 5 の端子電圧を変動させて出力電圧 V_{out} を入力電圧 V_{in} まで引き上げることができる。

【0168】 同様に、放電時において入力電圧 V_{in} が低位電源電圧 V_{SS} 付近に変化すると、出力電圧 V_{out} は、トランジスタ 2 5 6 の閾値電圧レベルまで低下し、N 1 4 および N 1 5 の端子電圧は共に低下しようとする。

【0169】 このとき、トランジスタ 2 8 2 はドレインが N 1 4、ゲートが N 1 5、ソースがトランジスタ 2 5 3 のドレインに接続されており、ドレインが低電位、ソースが高電位、ゲートが低電位にならうとするとトランジスタ 2 8 2 はオン状態となり、トランジスタ 2 5 3 のドレイン端子と N 1 4 との間に電流バスを発生させる。

【0170】 これにより NMOS 差動対トランジスタトランジスタ 2 5 5、2 5 6 がオフ状態であっても、トランジスタ 2 5 3 のドレイン電流がトランジスタ 2 6 1 に流れ、トランジスタ 2 5 3、2 5 4 のカレントミラー回路が動作する。

【0171】 これにより、N 1 5 の端子電圧は PMOS 差動対トランジスタ 2 6 5、2 6 6 のドレイン電流に応じて電位変動を生じ、トランジスタ 3 2 1 は放電動作を行うことができる。

【0172】 すなわち、放電時に入力電圧 V_{in} が低位電源電圧 V_{DD} 付近に変化した場合でも、差動段 2 3 は PMOS 差動入力回路（下側）とトランジスタ 2 5 3、2 5 4 によるカレントミラー回路の動作により、N 1 5 の端子電圧を変動させて出力電圧 V_{out} を入力電圧 V_{in} まで引き下げることができる。

【0173】トランジスタ281は、N14、N15の端子電圧が相反する電位変動をする正常動作時においても、N14が低電位、N15が高電位に変化する場合にオン状態となり、N14とトランジスタ263のドレン端子間をショートさせるが、どちらも低電位であればショートしていても問題なく、これによってN15の電位変動に影響を与えることはなく、出力電圧Voutへの影響はない。

【0174】同様に、トランジスタ282もN14が高電位、N15が低電位に変化する場合に、オン状態となり、N14とトランジスタ253のドレン端子間をショートさせるが、どちらも高電位であればショートしていても問題なく、これによってN15の電位変動に影響を与えることはなく出力電圧Voutへの影響はない。

【0175】以上のように差動段23はトランジスタ281、282を設けることにより、電源電圧範囲の任意の入力電圧Vinに対して正常に動作し、図22に示す回路を電源電圧範囲で動作することができる。

【0176】なお差動段23は、トランジスタ311、321のゲートを共通の出力端子N15で制御しているので、差動段23を構成する各トランジスタの特性ばらつきが生じた場合でも、充電作用および放電作用とも同じ方向に出力電圧のずれを生じるため、複数の駆動電圧の相対的な出力電圧ばらつきを十分小さく抑えることができる。

【0177】図23は、図22の変更例を示す図であり、この回路構成は、図21の構成にも適用できる。図23を参照すると、充電手段31が充電作用を開始する前にトランジスタ311を一時的にオフ状態にするスイッチ532を設け、放電手段32が放電作用を開始する前にトランジスタ312を一時的にオフ状態にするスイッチ542を備えている。

【0178】スイッチ532、542は、スイッチ531、541のオン、オフの切替えによる充電と放電の切替え時に、N15の端子電圧をリセットし、充電と放電の切替え時に、出力電圧Voutの不要な電圧変動を防ぐ作用をもつ。

【0179】差動段23の出力端子N15は、出力電圧Voutが電圧Vinに近づくにつれて、N15の端子電圧は充電時には、トランジスタ311のゲート・ソース間電圧が閾値電圧付近となる電圧レベルまで上昇して安定し、放電時にはトランジスタ321のゲート・ソース間電圧が閾値電圧付近となる電圧レベルまで低下して安定する。

【0180】そのため、スイッチ532、542がない場合には、放電から充電への切替え時には、充電作用の強い状態からトランジスタ311の動作が開始され、充電から放電への切替え時には、放電作用の強い状態からトランジスタ321の動作が開始される。これにより充電と放電の切替え時には、入力電圧Vinに関係なく瞬間に充

電または放電が生じて出力電圧Voutが変動する可能性がある。

【0181】そこで、スイッチ532、542を設けて、放電から充電への切替え時には、スイッチ532を、スイッチ541がオフとなった後の短い時間だけオン状態とし、N15の端子電圧を高位電源電圧VDDまで引き上げるように制御する。これにより、スイッチ531がオンとなって充電動作が開始されるときに、トランジスタ311をオフ状態から動作を開始させることができる。

【0182】また充電から放電への切替え時には、スイッチ542を、スイッチ531がオフとなった後の短い時間だけオン状態にし、N15の端子電圧を、低位電源電圧VSSまで引き下げるよう制御する。これにより、スイッチ541がオンとなって放電動作が開始されるときに、トランジスタ321をオフ状態から動作を開始させることができる。

【0183】以上のようにスイッチ532、542を設けることにより、充電と放電の切替え時に出力電圧Voutが入力電圧Vinに関係なく変動するのを防ぐことができる。

【0184】図24は、図20に示した回路の一具体例を示す図である。図24を参照すると、この回路は、図23のソースフォロワ放電手段41とソースフォロワ充電手段42を、ソースフォロワ充放電手段43に置き換えたものである。ソースフォロワ放電手段41とソースフォロワ充電手段42を、ソースフォロワ充放電手段43に置き換える構成は、図21、図22、図23に示した回路にも適用可能である。

【0185】図25は、図21におけるソースフォロワ放電手段41とソースフォロワ充電手段42の構成の一具体例を示す図である。図25を参照すると、ソースフォロワ放電手段41とソースフォロワ充電手段42は、図17に示した回路構成と同じ構成とし、Vout=Vinの出力安定状態で、充電手段31のトランジスタ311または放電手段32のトランジスタ321のドレン電流がほとんど流れないような構成としている。

【0186】図26は、図22のソースフォロワ放電手段41とソースフォロワ充電手段42の構成の一具体例を示す図である。図26において、ソースフォロワ放電手段41とソースフォロワ充電手段42は、図17に示した回路構成と同じ構成であり、その作用については図17の説明が参照されるため、説明は省略する。

【0187】図27は、図23のソースフォロワ放電手段41とソースフォロワ充電手段42の構成の一具体例を示す図である。図27において、ソースフォロワ放電手段41とソースフォロワ充電手段42は、図17に示した回路構成と同じ構成である。

【0188】図28は、図24のソースフォロワ充放電手段43の具体例を示す図である。ソースフォロワ充放

電手段43は、図18に示した回路構成と同じであり、その作用については図18の説明が参照されるため、説明は省略する。

【0189】図29は、図1乃至図28に示した回路を、液晶表示装置のデータドライバのバッファ100として用いる場合の具体例を示す図である。図29を参照すると、このドライバは、高位側電源VDDと低位側電源VSS間に接続された抵抗ストリング200と、デコーダ300(選択回路)と、出力端子群400と、出力段100と、を備えて構成される。

【0190】抵抗ストリング200の各端子(タップ)から生成した複数の階調電圧の中から、各出力ごとに映像デジタル信号に応じてデコーダ300で階調電圧を選択し、バッファ100で増幅して出力端子400に接続されたデータ線を駆動する。バッファ100として、図1乃至図28を参照して説明した本実施例の回路を適用することができる。

【0191】図30は、図29において、バッファ100における素子の特性ばらつきが大きい場合には、バッファ100で所望の電圧付近まで高速に駆動した後、バッファ100を停止し、スイッチ101をオンとして、抵抗ストリング200から直接電荷を供給してデータ線を駆動する。

【0192】図31は、高速充電作用と高速放電作用を切替えて駆動することのできる図14から図28に示した構成において、液晶表示装置のデータドライバのバッファに用いる場合の動作制御方法の具体例を示す図である。任意の駆動電圧に対して高速駆動が可能である。

【0193】高速充電作用と高速放電作用は、それぞれ充電手段31と放電手段32の動作により行われ、図14から図28までの各構成において、少なくとも一方が動作しているときは、他方は停止させておかなければならない。

【0194】図31は、液晶表示における階調レベルに対して、充電手段31と放電手段32の制御方法の具体例を示す。

【0195】図14から図28の差動段21、22、23、ソースフォロワ放電手段41、ソースフォロワ充電手段42、ソースフォロワ充放電手段43のそれぞれは充電手段31と放電手段32の制御に対応した制御が行われるものとする。なおソースフォロワ動作による駆動は、特に大容量負荷を駆動するときには駆動速度が低下するため、高速駆動を行うためには充電手段31や放電手段32が常に動作するように制御する必要がある。

【0196】図31は、データ線に出力する階調レベルが連続するデータ選択期間において高位レベルと低位レベルを交互に出力する場合の駆動方法で、液晶表示装置のドット反転駆動を行う場合に適用することができる。

【0197】複数の階調レベルの高位レベルと低位レベルの判別は、一定のコモン電圧に対して駆動電圧の極性

の正負を指定する極性反転信号により判別することができる。そして高位レベルが指定された場合に充電手段31を動作させて高速充電して階調電圧を駆動し、低位レベルが指定された場合に放電手段32を動作させて高速放電して階調電圧を駆動する。これにより任意の階調電圧の駆動において高速駆動が実現できる。

【0198】なおソースフォロワ放電手段41、ソースフォロワ充電手段42、ソースフォロワ充放電手段43は、それぞれの構成においてオーバーシュートやアンダーシュートを抑えて出力電圧を高速に安定させるように作用する。

【0199】また図16に示した構成のように、出力端子2のプリチャージ手段をもつ構成では、液晶表示装置のコモン反転駆動を行う場合にも、図31の制御方法を適用することができる。

【0200】この場合には、プリチャージ手段により複数の階調レベルの中央階調レベルにプリチャージを行う。このときの高位レベルと低位レベルの判別は、中央階調を境に異なる値をとる映像デジタル信号の最上位ビット信号と極性反転信号によって行うことができる。

【0201】そして1データ選択期間において、中央階調レベルにプリチャージされたデータ線を、図31の制御方法で駆動することにより、任意の階調電圧の駆動において高速駆動が実現できる。

【0202】図32は、図31の変更例を示す図である。図32は、データ線に出力する階調レベルが連続するデータ選択期間において、高位レベルと低位レベルを任意に出力する場合の駆動方法であり、液晶表示装置のコモン反転駆動を行う場合に適用することができる。

【0203】コモン反転駆動においては、所定の電圧にプリチャージする場合を除いて、1データ選択期間内に、コモン電圧の変動に伴い、データ線電圧も容量を介して変動を受ける。そのため、1データ選択期間開始時に、充電か放電かが一意に決まらない。

【0204】そこで、1データ選択期間を、前半t0-t1区間と、後半t1-t2区間に分け、高位レベルの階調電圧を駆動する場合には前半t0-t1区間に、放電手段32を動作させ、後半t1-t2区間に充電手段31を動作させる。

【0205】同様に、低位レベルの階調電圧を駆動する場合には前半t0-t1区間に充電手段31を動作させ、後半t1-t2区間に放電手段32を動作させる。なお前半t0-t1区間は少なくともコモン電圧が安定するまでの時間とする。

【0206】また高位レベルと低位レベルの判別は、映像デジタル信号の複数の上位ビット信号と極性反転信号によって行うことができる。最も簡単には中央階調を境に異なる値をとる最上位ビット信号を用いる。このような制御方法により、コモン電圧の変動によりデータ線電圧が変動した場合でも、任意の階調電圧の駆動において

高速駆動が実現できる。

【0207】なお、上記実施例では、MOSトランジスタを例に説明したがバイポーラトランジスタによる駆動回路（バッファ回路）に対しても適用可能であることは勿論であり、位相補償容量をもたない電圧フォロワー構成の帰還型充電（放電）手段と、エミッタフォロワ放電（充電）手段を組み合わせて構成される。

【0208】本発明は、ボルテージフォロワとして用いられるOPアンプ（operational amplifier）に適用した場合、発振防止用の位相補償用容量を要せず、低消費電力化を達成し、好適とされる。増幅度1の非反転増幅器であるボルテージフォロワは、OPアンプの非反転入力端子に入力信号を入力し、出力信号を反転入力端子に帰還入力し、入力信号と同相の電圧を出力する。OPアンプはボルテージフォロワとして用いる場合、位相補償用容量の容量値を最も大きくする必要があり、スルーレートが低くなるが、本発明は、位相補償用容量を必要とせず、スルーレートの高速化を達成するものであり、さらに、大振幅の入力電圧に対応可能としている。OPアンプの差動段に加えて、入力信号と出力信号の差電圧に基づき出力端子を充電する充電手段（図3の31）と、入力信号に基づき出力バイアス電圧を制御するバイアス制御手段（図3の51）と、OPアンプの出力端子（図3の2）の放電バスに挿入され、前記バイアス制御手段（図3の51）から出力されるバイアス電圧を入力とするソースフォロワ構成のトランジスタ（図3の412）を有するソースフォロワ放電手段（図3の41）を備える。また、入力信号と前記出力信号の差電圧に基づき出力端子を放電する放電手段（図6の32）と、入力信号に基づき出力バイアス電圧を制御するバイアス制御手段（図6の52）と、出力端子（図6の2）の充電バスに挿入され、前記バイアス制御手段（図6の52）から出力されるバイアス電圧を入力とするソースフォロワ構成のトランジスタ（図6の422）を有するソースフォロワ充電手段（図6の42）を備える。図14、図19等に示したように、帰還型充電手段（11）と帰還型放電手段（12）、あるいは、充電手段（31）と放電手段（32）は、その一方が活性化されているとき他方は不活性状態となるように、動作制御信号によりオン及びオフされるスイッチによって制御され、ソースフォロワ放電手段（41）とソースフォロワ充電手段（42）についても同様とされる。なお、これらの回路は、全てOPアンプに内蔵する構成としてもよい。これとは別に、差動段をOPアンプで構成し、充電手段（31）と放電手段（32）、ソースフォロワ放電手段（41）とソースフォロワ充電手段（42）を、外付け回路で構成してもよい。

【0209】以上説明したように、本発明において、フォロワ型放電手段（図1の41）は、差動段（図1の21）を備え、ボルテージフォロワ構成とされる帰還型充

電手段（図1の11）と組み合わせた場合に、位相補償容量を必要としないことから、低消費電力化、高速化、回路規模の縮減に好適とされるが、フォロワ型放電手段（図1の41）の適用対象は、かかる差動構成の帰還型増幅回路にのみ限定されるものではない。例えば、入力端子から入力信号を受けて出力端子を駆動するバッファ回路（差動入力構成をとらないバッファ回路であっても可）の出力端子に、前記したフォロワ型放電手段（図1の41）を接続した場合、出力端子のリンギング発生等を抑止し、出力信号を高速に安定化させることができるという効果を奏する。同様に、このバッファ回路の出力端子に、フォロワ型充電手段（図2の42）を接続した場合にも、出力信号を高速に安定化させる、という効果を奏する。バッファ回路の出力端子に、フォロワ型放電手段（図1の41）と、フォロワ型充電手段（図2の42）を接続してもよいことは勿論である。フォロワ型放電手段と、フォロワ型充電手段は、図3、図6等に示した回路構成のものがそのまま用いられる。

【0210】また、段落【0133】に追加して付言すれば、トランジスタ431、432はそれぞれスイッチ563、553のオン、オフ制御と同じ制御を行うスイッチに置き換えるてもよい。次に、シミュレーション結果によって本発明の効果を具体的に示す。このシミュレーションでは、本発明の駆動回路の低電力性能及び高速性能を示すため、図46に示すような表示パネルのデータ線等の大容量記録負荷（1データ線負荷：60kΩ、60pF）に対する評価を行った。図46に示すように、大容量記録負荷は、抵抗と容量の積分回路を5段継続形態に接続した等価回路で構成されており、負荷近端に駆動回路の出力端Voutが接続される。シミュレーションに用いた駆動回路は、図15に示した構成とし、電源電圧は、高位側電源電圧VDD=7V、低位側電源電圧VSS=0Vとした。

【0211】図36は、最大振幅相当となる駆動電圧0.2V-6.8Vのときの負荷近端と負荷遠端の出力電圧波形を示す図である。このときの出力遅延時間を図37に示す。出力遅延時間は振幅電圧の3τ（95%変化）に要する時間である。なお、τは、CR回路の時定数であり、指数関数のパルス応答曲線 $1 - \exp(-t/\tau)$ において、 $t = 3\tau$ では0.95（全振幅の95%）となる。0.2V-6.8V駆動時の負荷近端の出力遅延時間は、立ち上がり=0.34μs、立ち下がり=0.42μsであり、負荷遠端の出力遅延時間は、立ち上がり=5.83μs、立ち下がり=5.88μsである。駆動回路の負荷駆動速度は負荷近端の電圧変化の速さで判断することができる。

【0212】図37から、負荷近端の電圧変化の速さは、立上がり（充電）、及び立下り（放電）とともに0.5μs以下とされ、極めて高速であり、本発明の実施例に係る駆動回路の高速性能が実証されている。

【0213】また図38は、図36の駆動における駆動回路の高位側電源VDDの消費電流の変化を示す図である。図38において、時間0μs～10μsの消費電流は、駆動回路の動作維持に要する静消費電流を示し、時間10μs～20μsの消費電流は静消費電流に負荷容量の充電電流が加算された動消費電流を示している。位相補償容量を備えた従来の帰還型增幅回路では、図36のような高速駆動を実現するには数十μAの静消費電流が必要である。図38からもわかるように、本発明の実施例に係る駆動回路の動作維持に要する静消費電流は、約2μAと十分小さく、本発明の駆動回路の低電力性能が実証されている。なお、負荷容量が、図46に示したものと比べて十分小さい場合には、本発明の駆動回路の動作維持に要する静消費電流を更に小さく抑えることが可能である。

【0214】また図39に、無負荷時の出力波形を示す。図39より、無負荷時においても、本発明の駆動回路は、位相補償容量をもたなくとも、ソースフォロワ動作による出力安定化作用により、発振しないことが示されている。なお上記シミュレーションは大容量負荷に対して行った結果であるが、負荷容量の小さい場合には、数百nA（ナノアンペア）オーダーの小さい静消費電流で十分高速に駆動することもできる。

【0215】以上説明した通り、本発明に係る駆動回路は、小容量負荷から大容量負荷にわたって、低電力高速駆動を実現することができる。また本発明の実施例として説明した図16から図18に示した駆動回路のそれについても、図15と同様の性能をもつ。また図21から図28にそれぞれ示した駆動回路については、図15に比べた場合、差動回路の構成が複雑で、電流経路が多いため、図15に示した構成と比べて、静消費電流はやや増加するが、位相補償容量を設けないことにより、十分低消費電流で高速駆動が実現できる。

【0216】次に、本発明の駆動回路において、大容量負荷を駆動するときの特有の現象について、シミュレーション結果を参照して説明する。負荷条件および電源電圧条件は、上述のシミュレーションと同様である。

【0217】図40、図41は、本発明の実施例をなす図15の駆動回路により、図46に示した大容量配線負荷に対して、電源電圧範囲の中間付近電圧5Vを出力した場合の、負荷近端と負荷遠端の出力電圧波形である。図40は、波形全体図、図41は拡大図である。図40、及び図41には、立ち上がり直後の負荷近端の電圧が減衰振動している様子が示されている。なお、図面は省略するが、立ち下がり直後の負荷近端の電圧にも同様に減衰振動が生じる。この現象は、大容量配線負荷特有であり、配線抵抗が十分小さい場合や配線容量の小さい場合には生じない。この減衰振動は、負荷近端から負荷遠端への電荷の緩和現象と、駆動回路の帰還型充電（放電）手段による高速動作によって生じる現象である。

【0218】図40、図41を参照すると、時間10μs以後に、大容量配線負荷は、駆動回路の帰還型充電手段により高速充電され、負荷近端電圧は、所望の駆動電圧（5V）まで一気に充電される。このとき、駆動回路の帰還応答に遅延があるため、オーバーシュートが生じるが、同時に、オーバーシュートを抑制して、所望の駆動電圧まで引き下げる作用も生じる。このとき負荷容量が小さければ速やかに所望の電圧に安定するが、大容量配線負荷の場合、負荷近端が所望の駆動電圧まで充電されても、負荷遠端は速やかに追随しない。したがって、負荷近端から負荷遠端への電荷の緩和により、負荷近端電圧は所望の駆動電圧よりも低下（アンダーシュート）する。これにより、再び、帰還型充電手段による高速充電が行われる。このように、高速充電によるオーバーシュートと、電荷の緩和によるアンダーシュートが高速に繰り返されることにより、振動が生じる。そして、負荷遠端電圧が負荷近端電圧に近づいてくると、電荷の緩和によるアンダーシュートが小さくなるため、高速充電によるオーバーシュートも小さくなり、振動は減衰して所望の駆動電圧に安定する。

【0219】大容量配線負荷駆動における、上記のような負荷近端の減衰振動は、発振とは異なり、速やかに収束するものであることから、実用上、特に問題ではないと考えられる。

【0220】しかしながら、滑らかな出力波形を得たい場合には、振動抑制用の容量値の十分小さな容量を、駆動回路の内部に設けてもよい。図42は、本発明の実施例の変形例を示す図である。図42には、図15に示した駆動回路において、差動段（213、214）、差動段（223、224）の出力と出力端子2の間に、それぞれ、0.1pFの振動抑制容量216、226を設けた構成である。

【0221】図42の駆動回路により、図46に示した大容量配線負荷に対して、電源電圧範囲の中間付近電圧5Vを出力した場合の、負荷近端と負荷遠端の出力電圧波形を、図43に示す。図43は全体波形図であり、図44は、図43の部分拡大図である。図43、図44により、0.1pF程度の容量を設けることにより、図40、図41の減衰振動を除去することができる。そして、駆動回路に設けられる、振動抑制容量の容量値は、十分小さくてよいため、駆動速度への影響や消費電流の増加はほとんどなく、またトランジスタ容量を用いて容易に形成することもできる。

【0222】本発明の各実施例をなす図16から図18、図21から図28に示す各駆動回路についても、図15と同様に、差動対の出力と出力端子間に振動抑制容量を付加することにより、大容量配線負荷を駆動する時に、なめらかな出力電圧波形を得ることができる。

【0223】図45は、図27に示した駆動回路に対して振動抑制容量を付加した構成である。図45において

て、振動抑制容量268は、差動回路23の出力端子N15と出力端子2との間に設けられている。図21から図28に示す駆動回路では、差動回路23が、充電動作と放電動作で共通であるため、振動抑制容量は1つ設ければよい。

【0224】また、更なる研究の結果、更に以下の知見が得られた。本発明は、低消費電力の帰還型増幅回路や駆動回路の実現のために、位相補償容量を必要としないで出力安定化を実現する構成を提供するものである。そのためには、出力が所望の電圧となるところで、電流駆動能力が十分小となる充電手段および放電手段を有する帰還型増幅回路において、充電手段又は放電手段の一方を帰還型構成とし、他方を応答遅延のほとんどない非帰還構成とする。この回路の原理・作用は、出力を所望の電圧に変化させる動作において、充電手段又は放電手段の一方が帰還型構成である場合には、応答遅延が生じてオーバーシュートやアンダーシュートが発生するが、充電手段又は放電手段の他方が非帰還構成で応答遅延がほとんどなければ、オーバーシュートやアンダーシュートを速やかに抑えて、出力を安定化させることができる。そのため位相補償容量を必要としない、もしくは、位相補償容量を十分小さく抑えることができ、位相補償容量の充放電に必要な電流を抑えて消費電力を削減することができるというものである。

【0225】図1から図32に示した構成、図36から図46は、非帰還構成の充電手段又は放電手段としてソースフォロワ充電手段又はソースフォロワ放電手段を用いた実施例を示したものであるといえる。

【0226】例えば図4や図9に示す例では、充電手段は、帰還型構成のボルテージフォロワ回路11であり、放電手段は、非帰還型構成のソースフォロワ放電手段41である。帰還型構成のボルテージフォロワ回路11は、出力電圧Voutの変化を受けて差動段21が動作し、差動段21の出力の変化を受けて充電手段31が動作するため、出力電圧Voutの変化が充電作用に反映されるまでに差動段21の動作遅延（応答遅延）を必ず含むため、出力電圧Voutがオーバーシュートする。そして差動段21の構成が複雑であるほど応答遅延も大きく、オーバーシュートも大きくなる。一方、ソースフォロワ放電手段41は、トランジスタ412がソースフォロワ構成となっており、ゲートが入力電圧Vinに応じた電圧に制御されており、出力が所望の電圧（Vin）以上になると、トランジスタ412のゲート・ソース間電圧が増加し、放電作用が生じる。ソースフォロワ放電手段41では、出力電圧の変化すなわちトランジスタ412のゲート・ソース間電圧の変化が瞬時に放電能力に反映されるため、応答遅延がほとんど生じない。

【0227】このため、ボルテージフォロワ回路11によりオーバーシュートが生じても、ソースフォロワ放電手段41により、オーバーシュートした出力電圧を所望

の電圧まで速やかに放電させて安定させることができる。この原理は、ソースフォロワ充電手段又はソースフォロワ放電手段を用いた他の実施例の構成でも同様である。

【0228】しかしながら、本発明において、ソースフォロワ構成以外でも、応答遅延のほとんどない非帰還構成であれば、位相補償容量を必要としない帰還型増幅回路や駆動回路を実現できるという知見に到達する。図47は、その一例を示す図である。

【0229】図47は、本発明のさらに別の実施例の構成を示す図である。図47を参照すると、この実施例の回路は、入力電圧Vinと出力電圧Voutの2つの入力により充電作用を生じて出力電圧Voutを引き上げることのできる帰還型充電手段11と、帰還型充電手段11とは独立した動作で入力電圧Vinに応じた所望の電圧と出力電圧Voutとの電圧差に応じて動作する放電手段61とを備えている。図47は、図3に示したソースフォロワ放電手段41を、放電手段61で置き換えた構成であり、同じ構成部分については、同じ参照番号が付されている。

【0230】帰還型充電手段11は、入力電圧Vinと出力電圧Voutの2つの電圧差に応じて動作する差動段21と、差動段21の出力に応じて充電作用を生じる充電手段31とを備えている。本実施例は、位相補償手段（位相補償容量）を設けない構成もしくは十分小さい位相補償容量としたことにより、低消費電力で高速駆動が可能となる。

【0231】入力電圧Vinに応じて出力電圧Voutに所望の電圧を出力する駆動回路において、帰還型充電手段11は、VinとVoutとの電圧差に応じて動作し、出力電圧Voutが所望の電圧よりも低い場合に、その充電作用により、出力電圧Voutを所望の電圧に引き上げる。帰還型充電手段11は、位相補償手段を設けないことにより、低消費電力で高速に動作可能であるが、帰還型の構成では、回路素子の寄生容量等により、出力電圧Voutの変化が充電作用に反映されるまでのわずかな応答遅延があり、オーバーシュート（過充電）を生じる場合がある。

【0232】一方、放電手段61は、ドレインが出力端子2に接続され、ソースが低位電源電圧VSSに接続されたNチャネルMOSトランジスタ601と、入力電圧Vinに応じた所望の電圧を参照電圧とし、出力電圧Voutに応じてNチャネルMOSトランジスタ601のゲート電圧を制御するゲートバイアス制御手段62と、を備えて構成される。

【0233】具体的には、ゲートバイアス制御手段62は、所望の出力電圧を駆動する期間において、出力電圧VoutとNチャネルMOSトランジスタ601のゲートバイアスとの電圧差が、出力電圧の変化に対しても、遅延なくほぼ一定に保たれるように、ゲートバイアスを制御

する。

【0234】またゲートバイアス制御手段62は、出力電圧とNチャネルMOSトランジスタ601のゲートバイアスとの電圧差を、出力電圧が所望の電圧となるときにNチャネルMOSトランジスタ601のゲート・ソース間電圧が閾値電圧付近となるように、ゲートバイアスを制御する。これにより、放電手段61は、所望の電圧と出力電圧Voutの電圧差に応じた放電能力をもち、出力電圧Voutが所望の電圧よりも高い場合に、トランジスタの放電作用により出力電圧Voutを所望の電圧まで引き下げることができる。

【0235】放電手段61の作用について更に説明する。放電手段61において、出力電圧VoutとNチャネルMOSトランジスタ601のゲートバイアスとの電圧差がほぼ一定に保たれているため、出力電圧Voutが所望の電圧より高い場合には、NチャネルMOSトランジスタ601のゲートバイアスは引上げられ、NチャネルMOSトランジスタ601のゲート・ソース間電圧が大きくなり、出力電圧Voutと所望の電圧の電圧差に応じた放電能力で放電作用を生じる。

【0236】そして出力電圧Voutが所望の電圧まで低下すると、NチャネルMOSトランジスタ601のゲート・ソース間電圧は閾値電圧付近となり、放電作用はほぼ停止する。

【0237】一方、出力電圧Voutが所望の電圧より低い場合には、NチャネルMOSトランジスタ601のゲート・ソース間電圧は閾値電圧以下となり放電作用は生じない。

【0238】放電手段61は、ゲートバイアス制御手段62によるNチャネルMOSトランジスタ601のゲートバイアス制御が出力電圧の変化に対して遅延なく行われることにより、所望の電圧よりも高い出力電圧Voutを速やかに所望の電圧まで引き下げて安定化させることができる。

【0239】なお、ゲートバイアス制御手段62の制御において、出力電圧Voutが所望の電圧よりも低い場合には、NチャネルMOSトランジスタ601のゲート・ソース間電圧が閾値電圧以下であればよく、このときに出力電圧Voutとゲートバイアスとの電圧差が変化してもかまわない。

【0240】以上のように、本実施例の駆動回路は、出力電圧Voutが所望の電圧よりも低い場合では、帰還型充電手段11によって出力電圧Voutを高速に所望の電圧に引き上げることができる。このとき、わずかなオーバーシュート（過充電）を生じても、放電手段61により、速やかに所望の電圧まで引き下げて安定な出力となる。

【0241】一方、出力電圧Voutが所望の電圧よりも高い場合では、放電手段61により所望の電圧まで引き下げて安定な出力となる。

【0242】また、帰還型充電手段11は、位相補償容量をもたないことにより、回路素子の寄生容量等によるわずかな応答遅延しかないため、オーバーシュートを生じた場合でも、十分小さいレベルに抑えられる。そのため、帰還型充電手段11と放電手段61の組合せにより、充電時においては、高速充電とともに所望の電圧に高速安定させることができる。

【0243】図48は図47の一具体例を示したものである。図48は図9のソースフォロワ放電手段41を放電手段61に変更した構成であり、同じ構成部分については同じ参照番号を用いる。図48は、出力電圧Voutを入力電圧Vinと等しい電圧に駆動する駆動回路である。

【0244】図48を参照すると、帰還型充電手段11において、差動段21は、NチャネルMOSトランジスタ213、214による差動入力対と、その能動負荷としてPチャネルMOSトランジスタ212、211となるカレントミラー回路をもつ差動段よりなり、出力電圧Voutを入力に戻す帰還型の構成である。

【0245】帰還型充電手段11を構成する差動段21と充電手段31は、Vout<Vinのときに、トランジスタ311による充電作用を生じ、出力電圧VoutをVinまで引き上げ、Vout>Vinでは、トランジスタ311がオフとなり、充電作用は生じない。

【0246】しかし、Vout<Vinにおいて、出力電圧VoutがVinまで高速に変化する場合には、出力電圧Voutの変化が充電作用に反映されるまでのわずかな応答遅延があり、オーバーシュート（過充電）を生じる。

【0247】一方、放電手段61の構成は、特開平11-259025号公報の構成を一部変更して応用したものであり、ドレインが出力端子2に接続され、ソースが低位電源電圧VSSに接続されたNチャネルMOSトランジスタ601と、入力電圧Vinを参照電圧とし、出力電圧Voutに応じてNチャネルMOSトランジスタ601のゲート電圧を制御するゲートバイアス制御手段62とを備えて構成される。ゲートバイアス制御手段62は、一端がNチャネルMOSトランジスタ601のゲートに接続された容量素子602と、入力端子1と容量素子602の他端との間に接続されたスイッチ611と、出力端子2と容量素子602の他端との間に接続されたスイッチ613と、NチャネルMOSトランジスタ601のゲートに対して電圧Vrefの供給、遮断を制御するスイッチ612と、を備えて構成される。この電圧Vrefは、NチャネルMOSトランジスタ601のゲート・ソース間電圧が閾値電圧付近となるようなゲートバイアス電圧として与えられる。

【0248】図49は、この実施例の駆動回路において、出力電圧Voutを入力電圧Vinと等しい電圧に駆動する1出力期間における、スイッチ611、612、613の制御を示すタイミングチャートである。この実施

例におけるゲートバイアス制御手段62の作用を、図48、及び図49を参照して説明する。

【0249】1出力期間の始めにおいて、期間 $t_0 - t_1$ 間でスイッチ611とスイッチ612を共にオンとする。このときNチャネルMOSトランジスタ601には電圧Vrefがゲートバイアスとして与えられ、NチャネルMOSトランジスタ601のゲート・ソース間電圧が閾値電圧付近となり、出力端子2から、低位電源電圧VSSへの放電電流は十分小さく抑えられている。

【0250】スイッチ611とスイッチ612が共にオンのとき、容量素子602は、その一端に、電圧Vrefが供給され、他端に入力電圧Vinが供給され、VinとVrefの電圧差が保持される。

【0251】そして、期間 t_1 で、スイッチ611とスイッチ612をオフとした後に、スイッチ613をオンとし、期間 $t_1 - t_2$ 間にその状態を保持する。このとき、容量素子602の一端は、NチャネルMOSトランジスタ601のゲートに、他端は、オン状態のスイッチ613を介して出力端子2にそれぞれ接続され、容量素子602の両端に保持された入力端子電圧Vinと電圧Vrefの電圧差を保持するように作用する。

【0252】したがって、スイッチ613がオンとなったときに、出力電圧VoutがVinよりも高い場合には、NチャネルMOSトランジスタ601のゲートバイアスは引上げられ、NチャネルMOSトランジスタ601のゲート・ソース間電圧が大きくなり、出力電圧VoutとVinの電圧差に応じた放電能力で放電作用を生じる。

【0253】そして出力電圧VoutがVinまで低下すると、NチャネルMOSトランジスタ601のゲート・ソース間電圧は閾値電圧付近となり放電作用はほぼ停止し出力電圧Voutは安定する。

【0254】一方、スイッチ613がオンとなったときに、出力電圧VoutがVinより低い場合には、NチャネルMOSトランジスタ601のゲート・ソース間電圧は閾値電圧以下となりNチャネルMOSトランジスタ601の放電作用は生じない。

【0255】ゲートバイアス制御手段62は、出力電圧の変化を容量素子602を介してほぼ遅延なくNチャネルMOSトランジスタ601のゲートバイアスに反映させることができるために、放電手段61は、Vinよりも高い出力電圧Voutを速やかにVinまで放電させて安定化させることができる。なお、容量素子602の代わりに、同じ作用を与える電圧保持手段であってもよい。すなわち、入力電圧Vinと電圧Vrefの差電圧をサンプリングしてラッチし、ラッチした差電圧を出力端子とNチャネルMOSトランジスタ601のゲートとの間に保持させる電圧保持手段であってもよい。

【0256】以上のように、本実施例の駆動回路は、出力電圧Voutが入力電圧Vinよりも低い場合には、帰還型充電手段11により出力電圧Voutを高速にVinに引き上

げることができ、このとき、わずかなオーバーシュート（過充電）を生じても、放電手段61により、速やかにVinまで引き下げて安定な出力となる。一方、出力電圧Voutが入力電圧Vinよりも高い場合には、放電手段61によりVinまで引き下げて安定な出力となる。

【0257】なお、図48に示す駆動回路の動作範囲は、放電動作をNチャネルMOSトランジスタで行うため、低位電源電圧VSSから高位電源電圧VDDまでの電源電圧範囲とすることができる。

【0258】また、本実施例の駆動回路では、帰還型充電手段11と放電手段61を組合せた駆動回路について説明したが、帰還型放電手段と充電手段を組み合せた構成についても容易に実現できることはあきらかである。

【0259】この場合、図48に示した放電手段61に対応する、同様の構成の充電手段（ソースフォロワ型ではない）は、放電手段61の構成と極性が対称とされるほかは、同様の構成とされる。すなわち、充電手段は、高位側電源と出力端子（2）間に接続されたPチャネルMOSトランジスタを備え、PチャネルMOSトランジスタのゲートと電圧Vrefを与える電圧入力端子の間には第1のスイッチが挿入され、PチャネルMOSトランジスタのゲートに一端が接続された容量と、該容量の他端と入力端子間の接続された第2のスイッチと、出力端子と容量の他端間に接続された第3のスイッチを備えて構成される。放電手段61と、放電、充電が相違しているほか、スイッチの制御は、図49に示したものと、同様とされる。

【0260】駆動回路の1出力期間の始めにおいて、期間 $t_0 - t_1$ 間（図49参照）で、第1、第2のスイッチを共にオンとする。このときPチャネルMOSトランジスタには電圧Vrefがゲートバイアスとして与えられ、PチャネルMOSトランジスタのゲート・ソース間電圧が閾値電圧付近となり、高位側電源電圧VDDから出力端子2への充電電流は十分小さく抑えられている。

【0261】第1、第2のスイッチが共にオンのとき、容量素子は、その一端に、電圧Vrefが供給され、他端に入力電圧Vinが供給され、VinとVrefの電圧差が保持される。図49の期間 t_1 で、第1、第2のスイッチをオフとした後に、第3のスイッチをオンとし、期間 $t_1 - t_2$ 間にその状態を保持する。このとき、容量素子の一端は、PチャネルMOSトランジスタのゲートに、他端は、オン状態の第3のスイッチを介して出力端子にそれぞれ接続され、容量素子の両端に保持された入力端子電圧Vinと電圧Vrefの電圧差を保持するように作用する。

【0262】したがって、第3のスイッチがオンとなったときに、出力電圧VoutがVinよりも低い場合には、PチャネルMOSトランジスタのゲートバイアスは引下げられ、PチャネルMOSトランジスタのゲート・ソース間電圧が大きくなり、出力電圧VoutとVinの電圧差に応

じた充電能力で充電作用を生じる。

【0263】そして出力電圧 V_{out} が V_{in} まで上昇すると、PチャネルMOSトランジスタのゲート・ソース間電圧は閾値電圧付近となり充電作用はほぼ停止し出力電圧 V_{out} は安定する。

【0264】一方、第3のスイッチがオンとなったときに、出力電圧 V_{out} が V_{in} より高い場合には、PチャネルMOSトランジスタのゲート・ソース間電圧は閾値電圧以下となりPチャネルMOSトランジスタの充電作用は生じない。

【0265】この場合も、充電手段のゲートバイアス制御手段は、出力電圧の変化を容量素子を介してほぼ遅延なくPチャネルMOSトランジスタのゲートバイアスに反映させることができるために、充電手段は、 V_{in} よりも低い出力電圧 V_{out} を速やかに V_{in} まで充電させて安定化させることができる。またこの場合も、容量素子の代わりに、同じ作用を与える電圧保持手段であってもよい。すなわち、入力電圧 V_{in} と電圧 V_{ref} の差電圧をサンプリングしてラッチし、ラッチした差電圧を出力端子と充電作用を行うPチャネルMOSトランジスタのゲートとの間に保持させる電圧保持手段であってもよい。

【0266】図48に示した放電手段61や、上記した充電手段を、前記した本発明の各実施例の駆動回路のソースフォロワ放電手段41や、ソースフォロワ充電手段42とそれ置き換えた構成としてもよいことは勿論であり、本発明は、これらのすべての組み合わせを含む。

【0267】

【発明の効果】以上説明したように、本発明によれば、位相補償容量をもたない電圧フォロワー構成の帰還型充電（放電）手段と、ソースフォロワ放電（充電）手段を組み合わせて構成したことにより、位相補償容量を備えたオペアンプよりも高速安定動作を達成し、低消費電力化を図ることができる。

【0268】また本発明は、出力波形の振動抑制用の容量を備えたことにより、大容量負荷の駆動にあたり振動を抑制し出力波形をなめらかなものとすることができます。

【0269】さらに本発明によれば、ソースフォロワ以外の構成でも、位相補償容量を必要としない帰還型增幅回路や駆動回路を実現することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の構成を示すブロック図である。

【図2】本発明の第2の実施例の構成を示すブロック図である。

【図3】本発明の第1の実施例のソースフォロワ放電手段41の構成を示す図である。

【図4】本発明の第1の実施例の帰還型充電手段11の構成を示す図である。

【図5】本発明の第1の実施例における出力電圧波形を示す図である。

【図6】本発明の第2の実施例のソースフォロワ充電手段42の構成を示す図である。

【図7】本発明の第2の実施例の帰還型放電手段12の構成を示す図である。

【図8】本発明の第2の実施例における出力電圧波形を示す図である。

【図9】図4の本発明の第1の実施例のゲートバイアス制御手段51の構成を示す図である。

【図10】図7の本発明の第2の実施例のゲートバイアス制御手段52の構成を示す図である。

【図11】図4のソースフォロワ放電手段41の変形例を示す図である。

【図12】図4の充電手段31の変形例を示す図である。

【図13】図4の帰還型充電手段11の変形例を示す図である。

【図14】本発明の第3の実施例の構成を示す図である。

【図15】図13の具体例を示す図である。

【図16】図15の変形例を示す図である。

【図17】図15のソースフォロワ放電手段41、ソースフォロワ充電手段42の変形例を示す図である。

【図18】図15の変形例を示す図である。

【図19】図14の変形例を示す図である。

【図20】図19の変形例を示す図である。

【図21】図19の具体例を示す図である。

【図22】図21の変形例を示す図である。

【図23】図22の変形例を示す図である。

【図24】図20の具体例を示す図である。

【図25】図21のソースフォロワ放電手段41とソースフォロワ充電手段42の具体例を示す図である。

【図26】図22のソースフォロワ放電手段41とソースフォロワ充電手段42の具体例を示す図である。

【図27】図23のソースフォロワ放電手段41とソースフォロワ充電手段42の具体例を示す図である。

【図28】図24のソースフォロワ充電手段43の具体例を示す図である。

【図29】図1～図28の駆動回路を、液晶表示装置のデータドライバのバッファとして用いる場合の具体的構成を示す図である。

【図30】図29の変形例を示す図である。

【図31】液晶表示装置のデータドライバのバッファとして用いる場合の制御方法を表形式で示した示す図である。

【図32】図31の変形例を表形式で示す図である。

【図33】従来の帰還增幅回路の構成を示す図である。

【図34】放電手段にソースフォロワトランジスタを備えた比較例の構成を示す図である。

【図35】従来の別の帰還増幅回路の構成を示す図である。

【図36】図15の駆動回路で大容量負荷の駆動した場合の最大振幅相当となる駆動電圧0.2V-0.8Vのときの負荷近端と負荷遠端の出力電圧波形を示す図である。

【図37】図36における出力遅延時間を示す図である。

【図38】図36における駆動回路の高位側電源VDDの消費電流の変化を示す図である。

【図39】無負荷時の出力波形を示す図である。

【図40】図15の駆動回路により大容量配線負荷に対して電源電圧範囲の中間付近電圧5Vを出力した場合の負荷近端と負荷遠端の出力電圧波形を示す図である。

【図41】図40の部分拡大図である。

【図42】本発明の実施例の変形例(図15の変形例)を示す図である。

【図43】図42の駆動回路により大容量配線負荷に対して電源電圧範囲の中間付近電圧5Vを出力した場合の負荷近端と負荷遠端の出力電圧波形を示す図である。

【図44】図43の部分拡大図である。

【図45】本発明の実施例の変形例(図27の変形例)を示す図である。

【図46】本発明の実施例の駆動回路の性能評価に用いられる大容量負荷の等価回路を示す図である。

【図47】本発明のさらに実施例の構成を示す図である。

【図48】図47の放電手段61、帰還型充電手段11の具体例を示す図である。

【図49】図48のスイッチ動作の一例を示すタイミング図である。

【符号の説明】

- 1 入力端子
- 2 出力端子
- 3、4 スイッチ
- 11 帰還型充電手段
- 12 帰還型放電手段
- 21、22 差動段
- 23 差動段

* 3 1 充電手段

3 2 放電手段

4 1 ソースフォロワ放電手段

4 2 ソースフォロワ充電手段

4 3 ソースフォロワ充放電手段

5 1、5 2 ゲートバイアス制御手段

6 1 放電手段

6 2 ゲートバイアス制御手段

100、102 駆動回路(出力回路)

101 スイッチ

200 抵抗アレイ

216、226、268 振動抑制容量

300 デコーダ

400 出力端子群

211、212、311、411、412、223、2

24、251、252、253、254、265、26

6、282 PチャネルMOSトランジスタ

213、214、221、222、255、256、2

61、262、263、264、265、266、28

20 1、321、421、422、431、432 Nチャネ

ルMOSトランジスタ

215、225、257、267、351、352、4

13、414、415、423、424、425 定電

流源

521、522、531、532、541、542、5

51、552、553、559、561、562、56

3、554、563、564 スイッチ

601 NチャネルMOSトランジスタ

602 振動抑制容量

30 611、612、613 スイッチ

1001、1002、1006、1009 定電流源

1003、1004 PチャネルMOSトランジスタ

1007、1008 NチャネルMOSトランジスタ

1013、1004 スイッチ

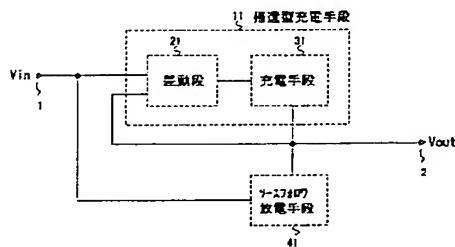
1020 回路1

1030 回路2

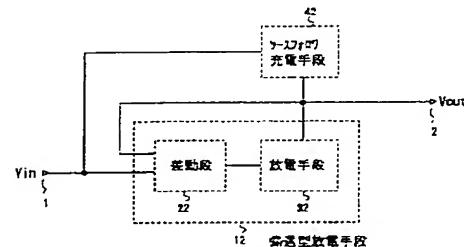
1040 ブリチャージ回路

*

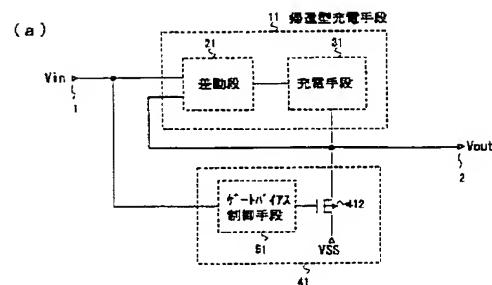
【図1】



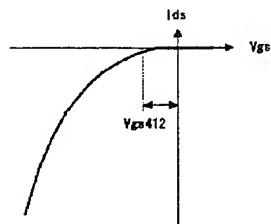
【図2】



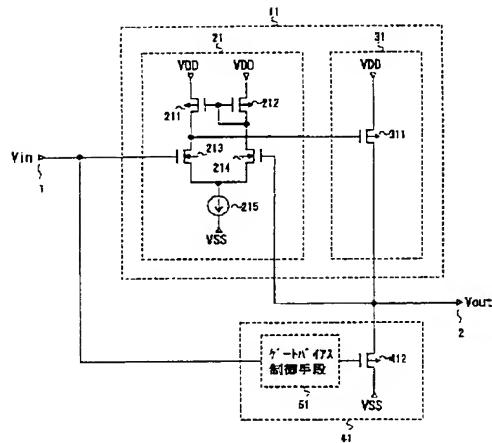
【図3】



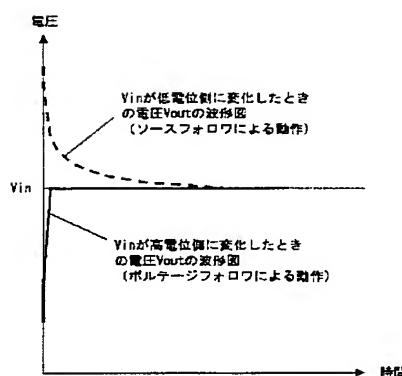
(b)



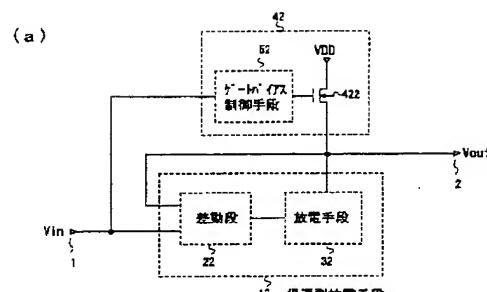
【図4】



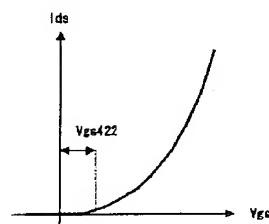
【図5】



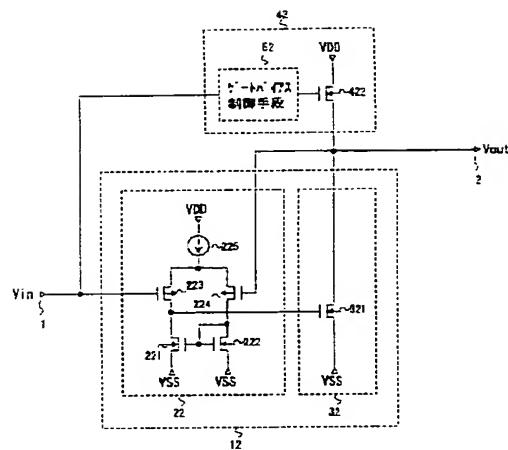
【図6】



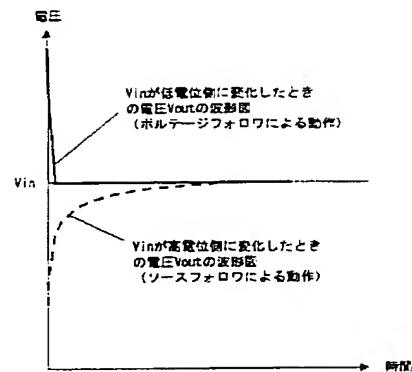
(b)



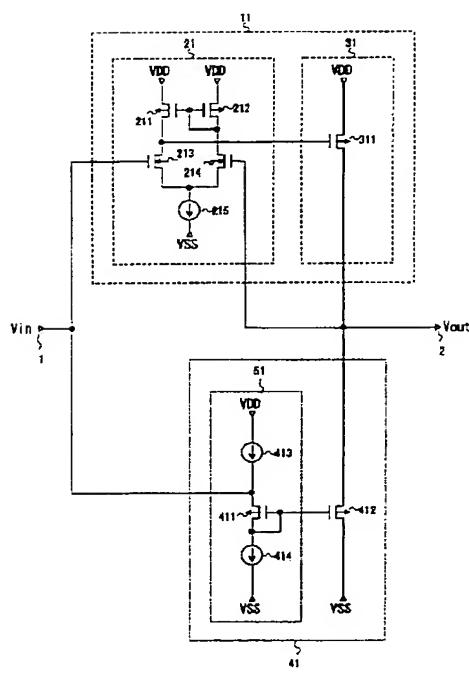
【図7】



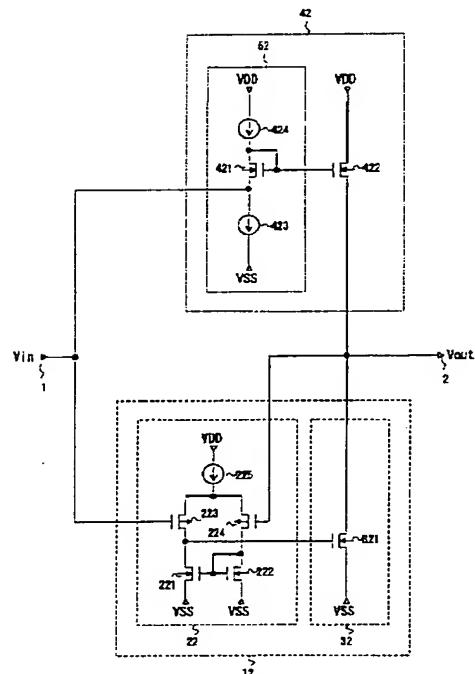
【図8】



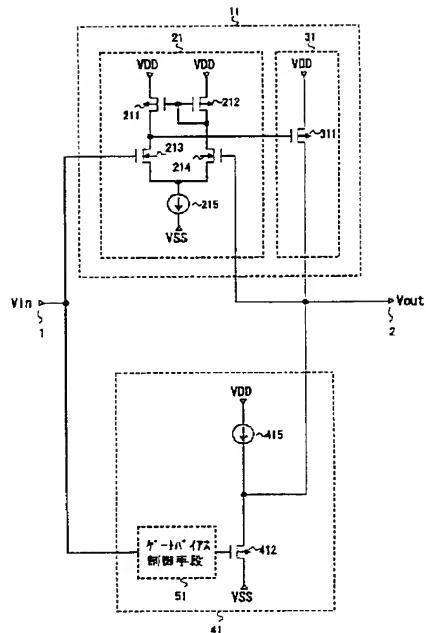
【図9】



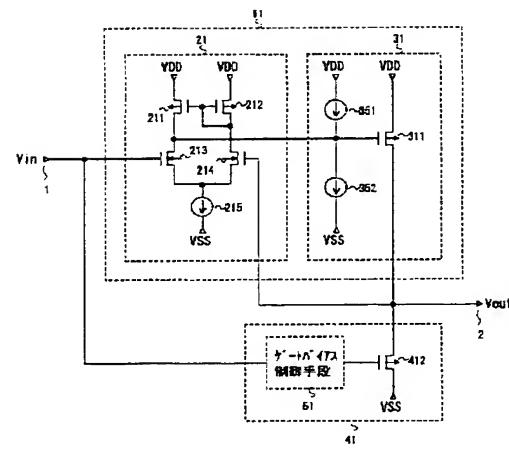
【図10】



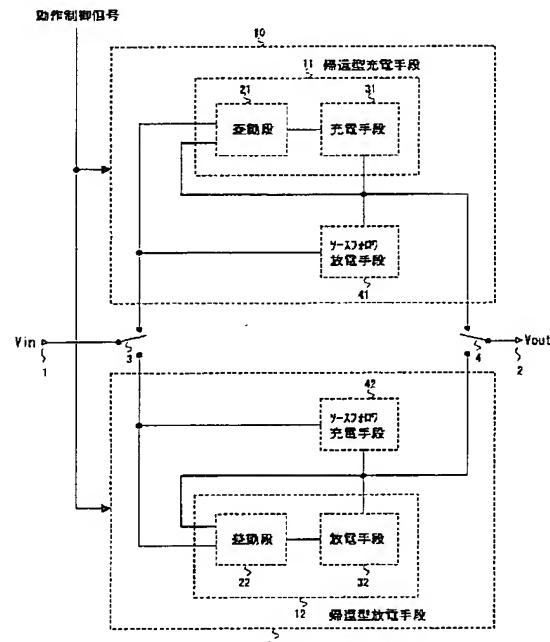
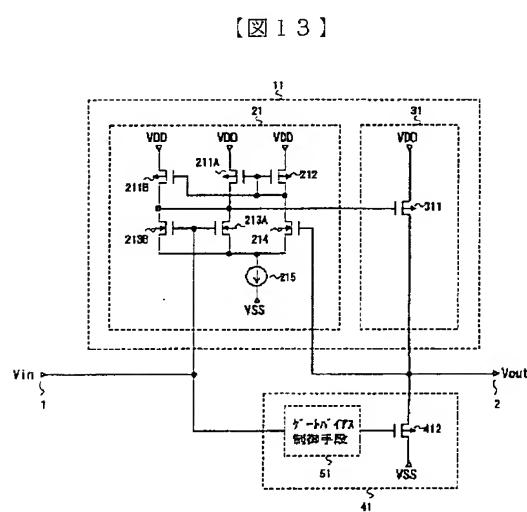
【図11】



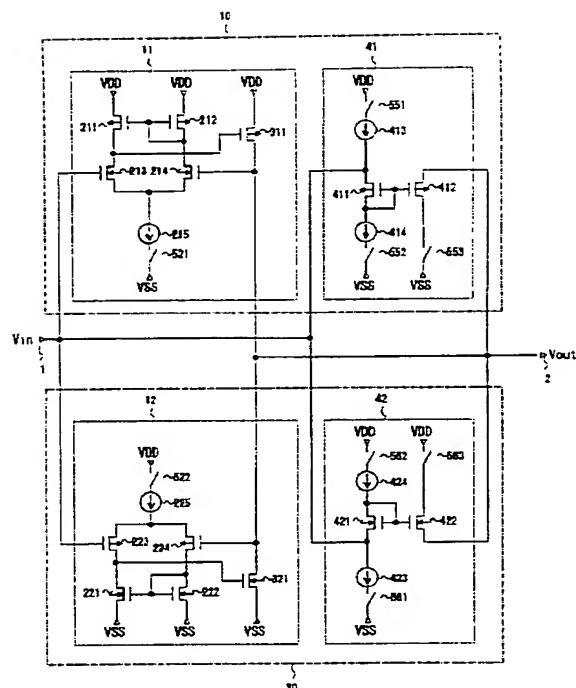
【図12】



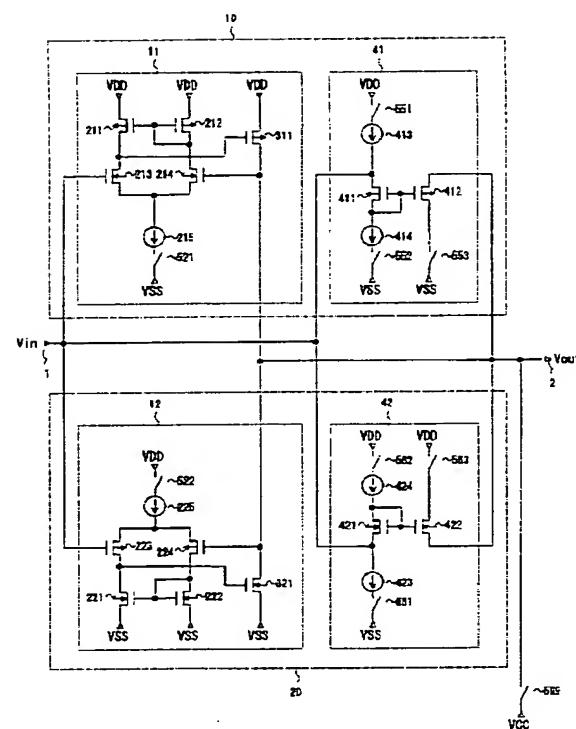
【図14】



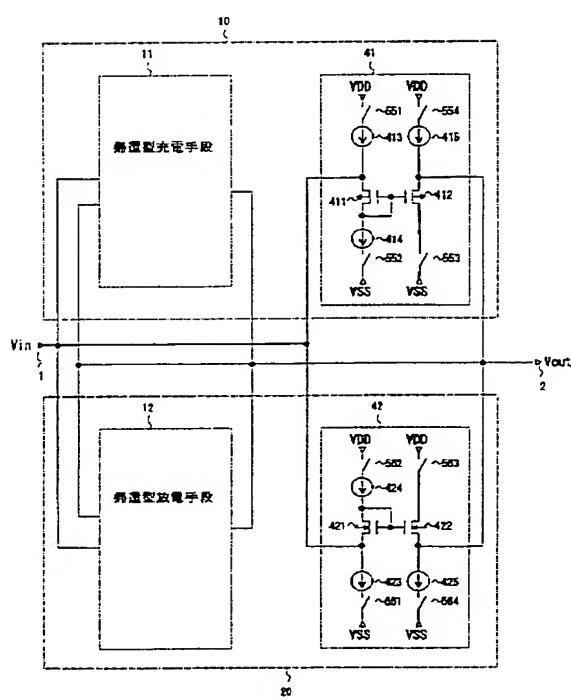
[図15]



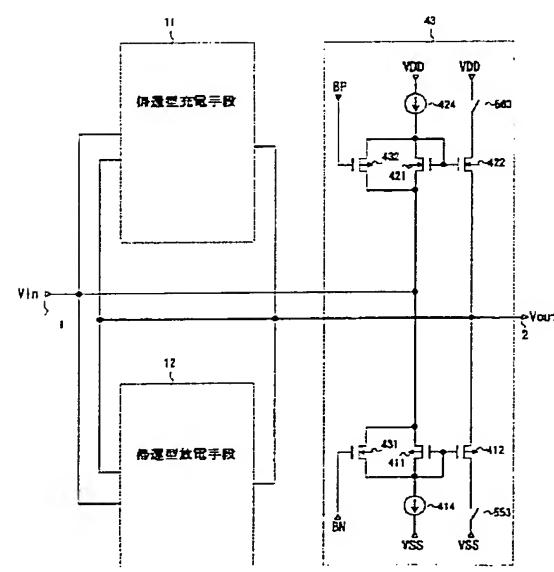
[図16]



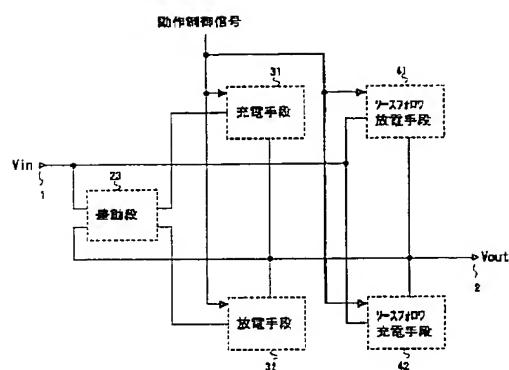
[図17]



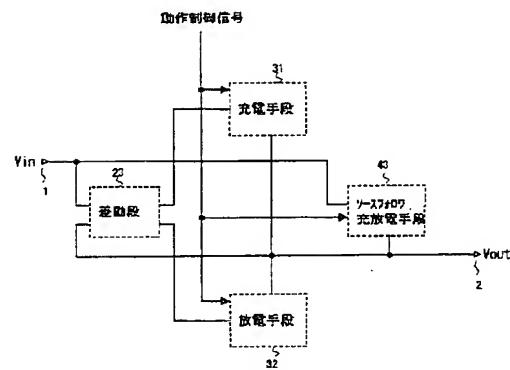
[図18]



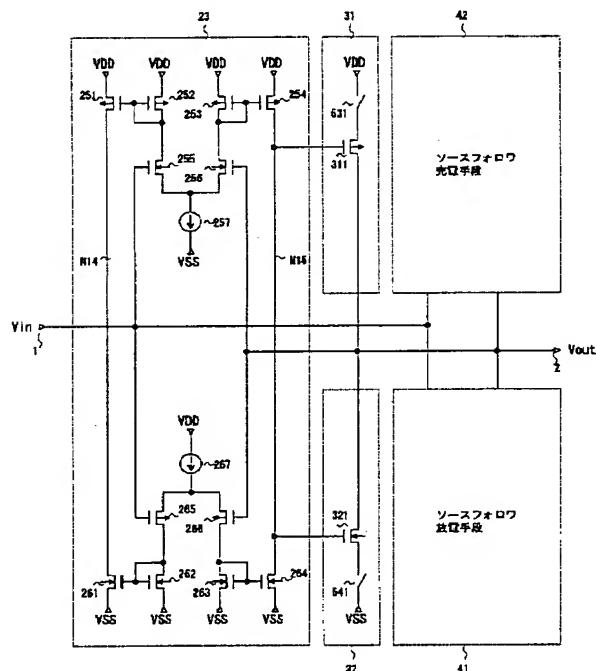
【図19】



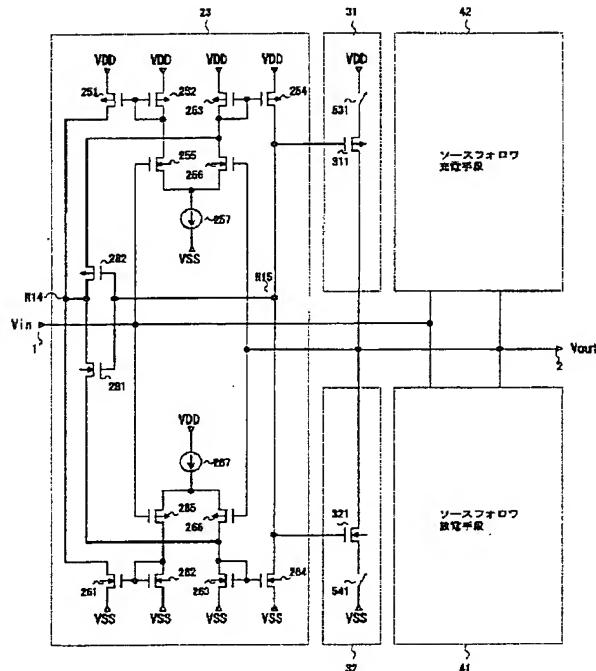
【図20】



【図21】



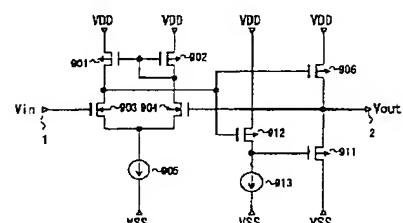
【図22】



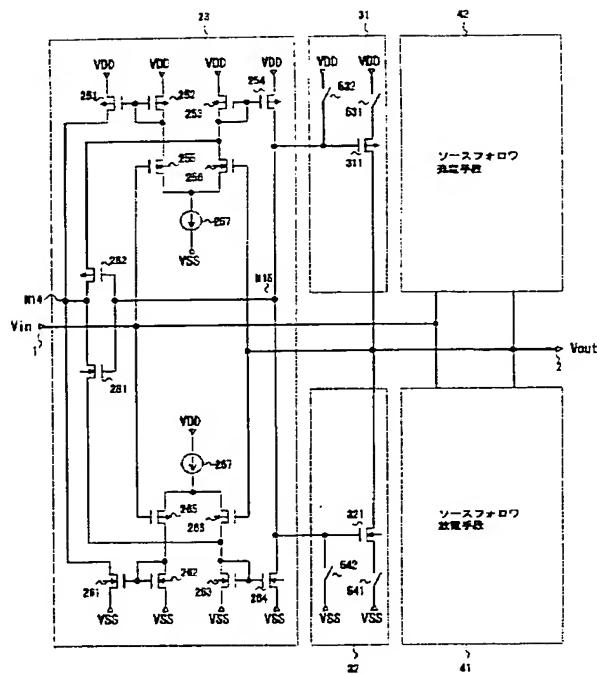
【図31】

	1データ選択期間	1データ選択期間
階調レベル	高位レベル	低位レベル
充電手段 3.1	動作	停止
放電手段 3.2	停止	動作

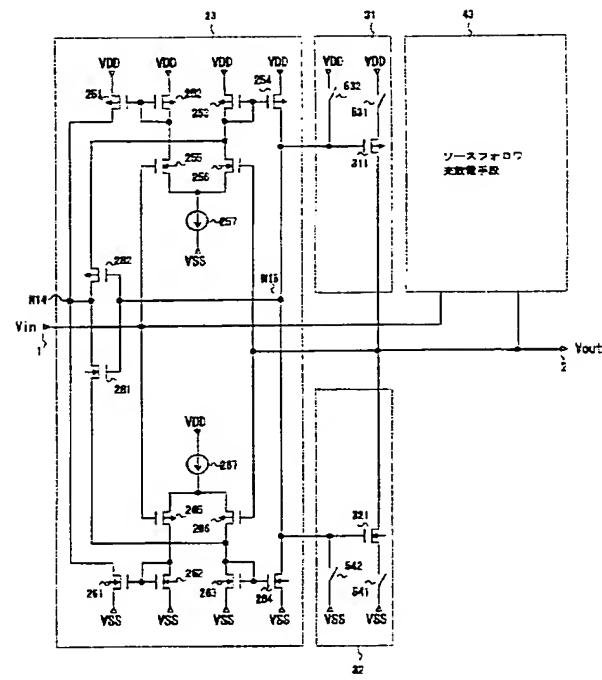
【図34】



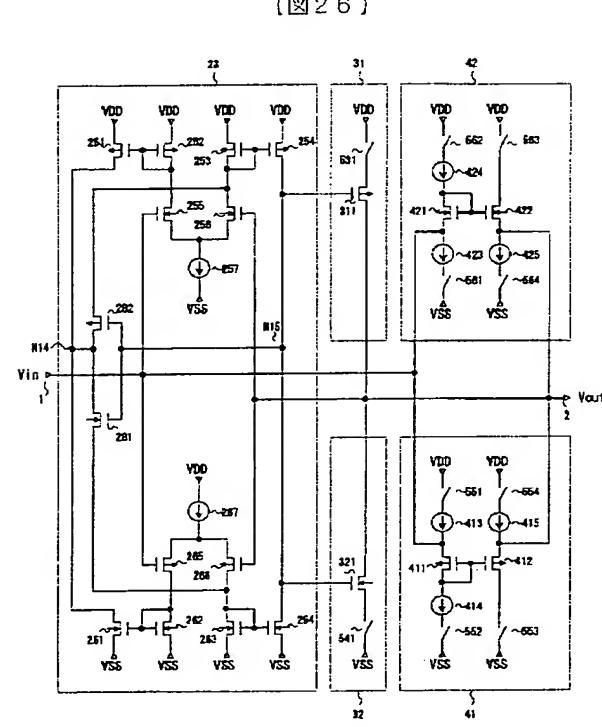
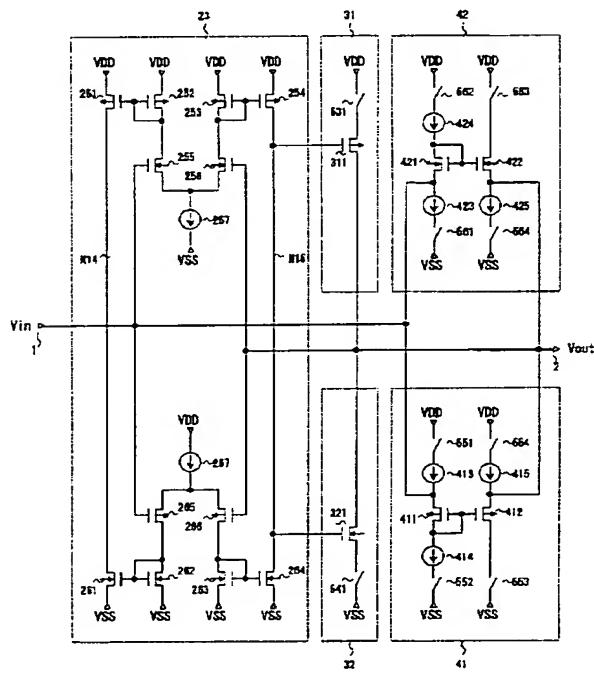
[図23]



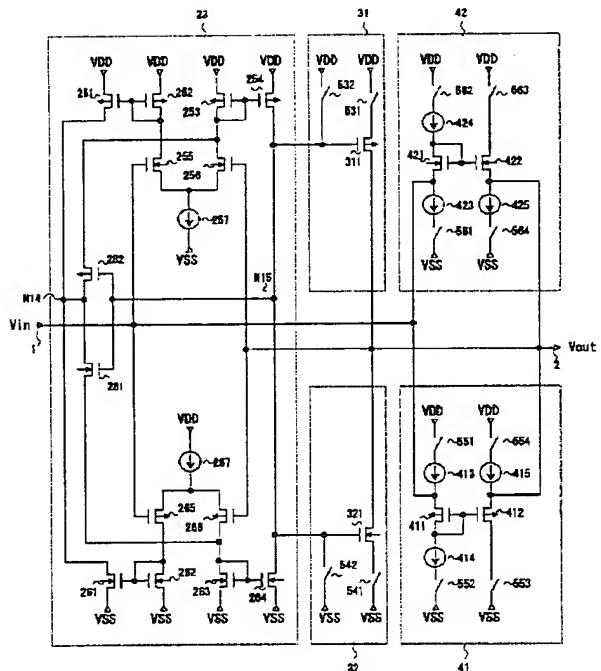
[図24]



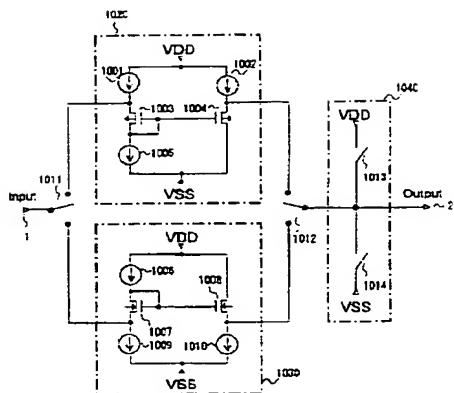
[図25]



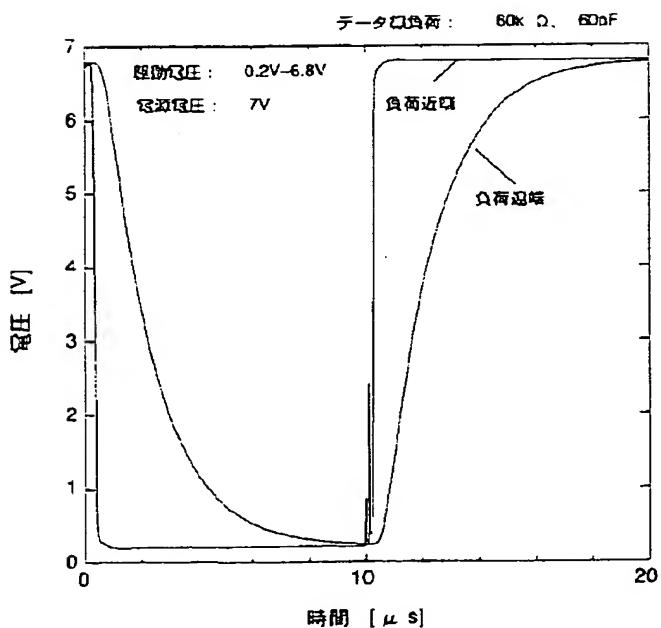
[図27]



【図35】



【図36】

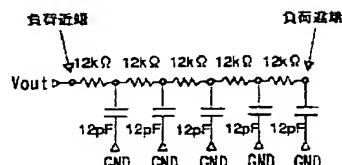


【図37】

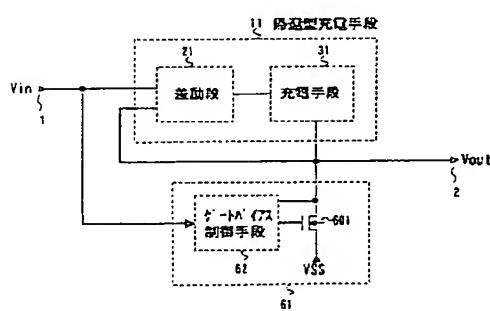
0.2V-6.8V駆動時 出力遅延時間	負荷近端	負荷遠端
	3τ (95%)	3τ (95%)
立上り (0.2V→6.8V)	0.34μs	5.83μs
立下り (6.8V→0.2V)	0.42μs	5.88μs

※データ出力負荷: 60kΩ, 60pF, 駆動電圧: 0V-7V

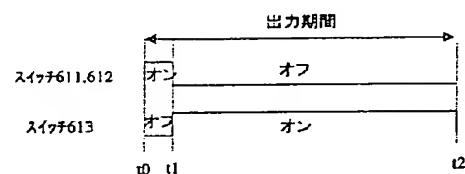
【図46】



【図47】

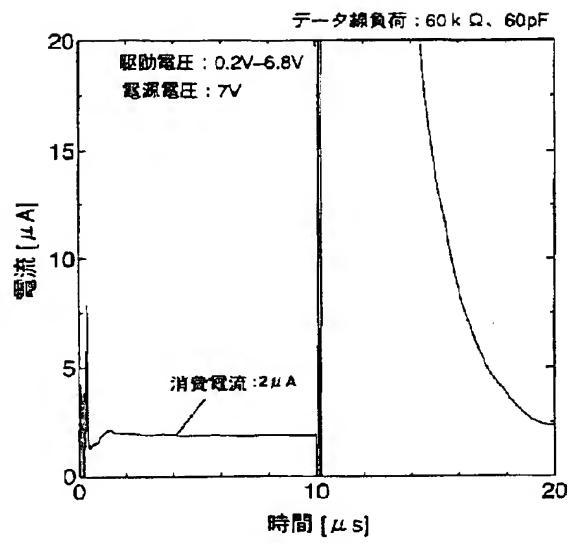


【図49】

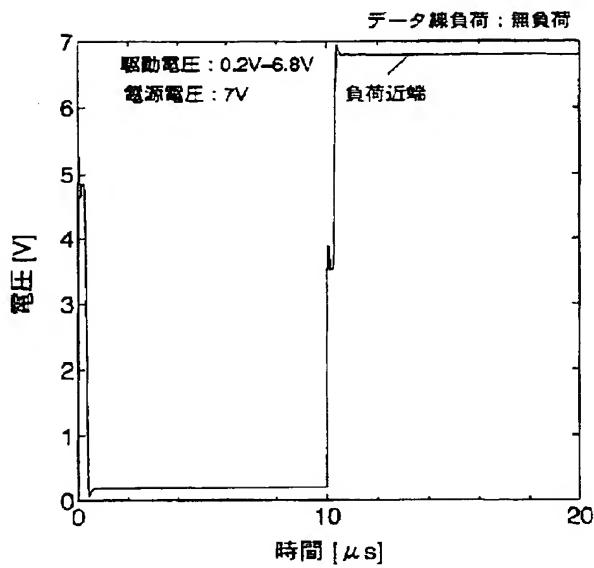


※t2ではスイッチ611,612がオフした後にスイッチ613をオンさせる。

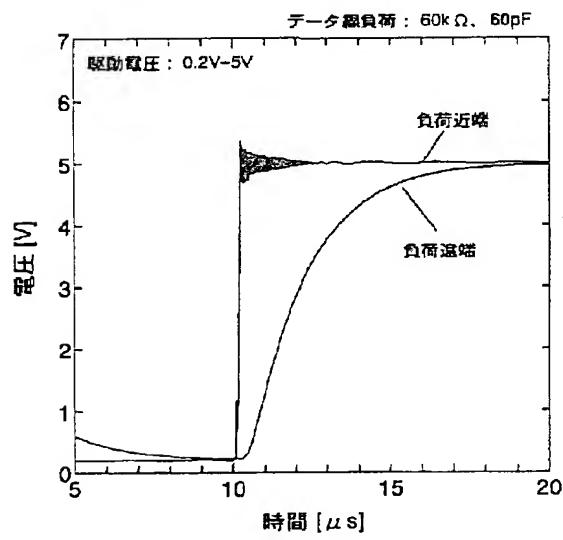
【図38】



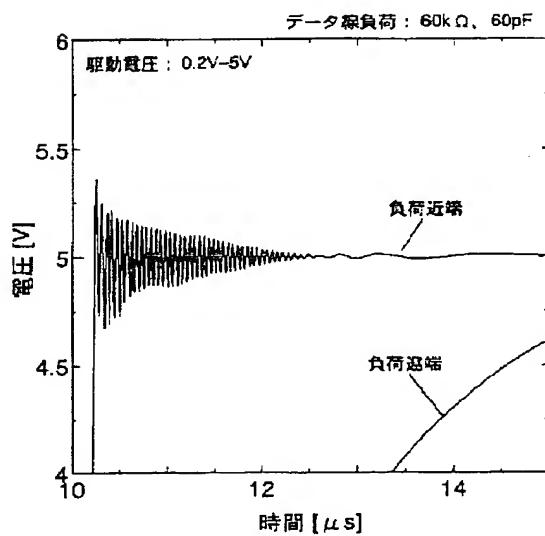
【図39】



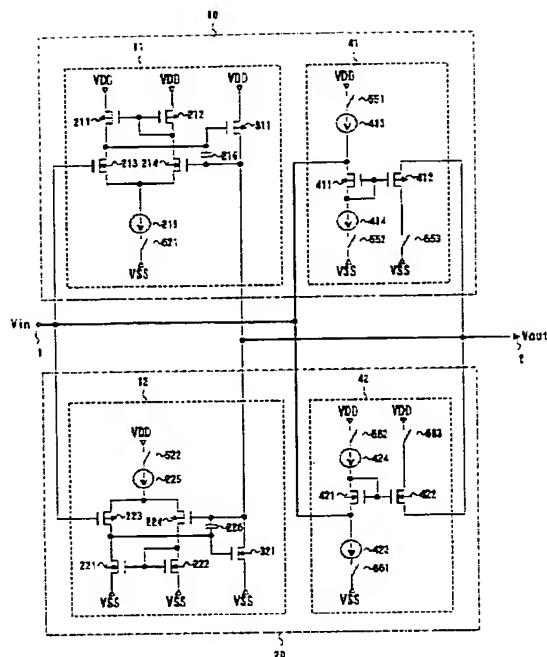
【図40】



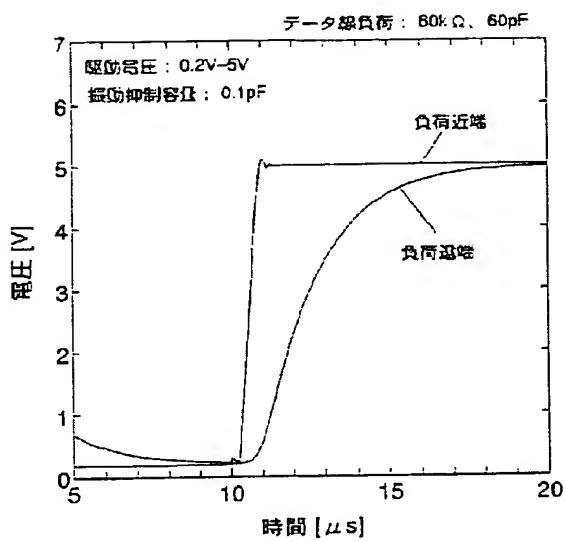
【図41】



[図42]

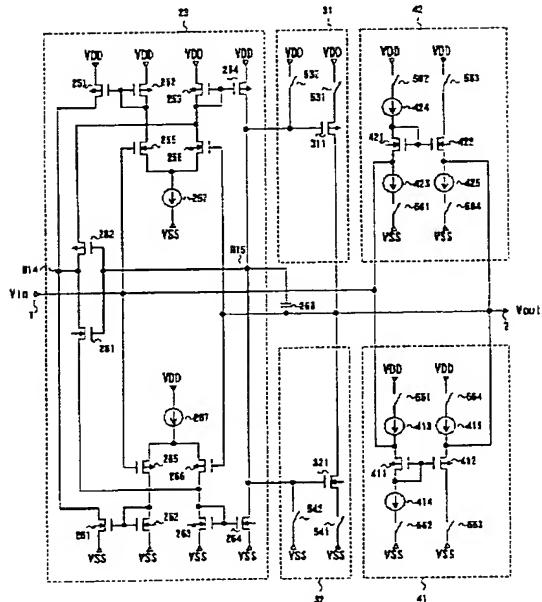
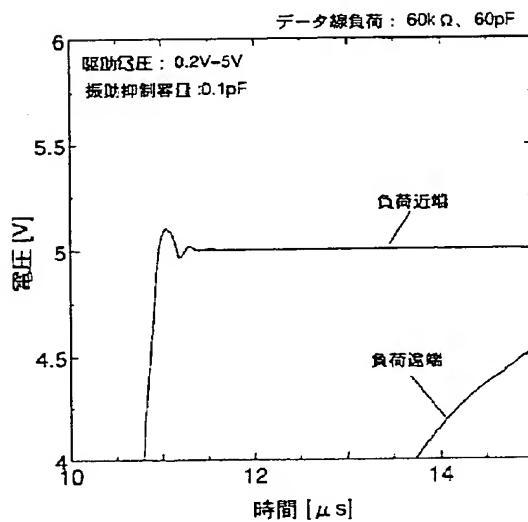


[图43]

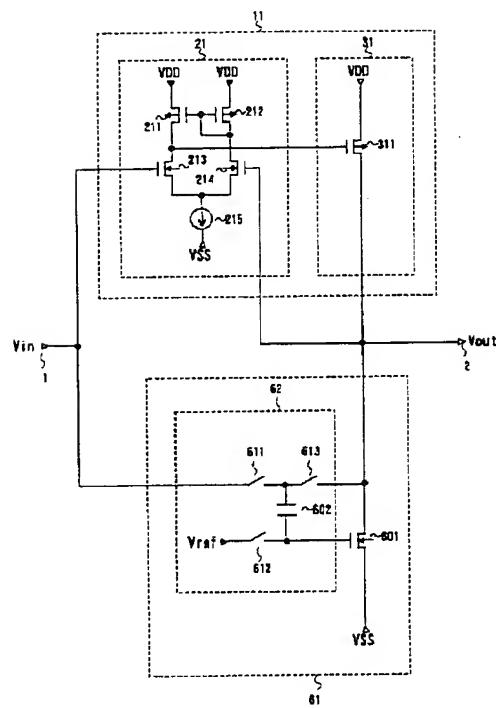


[図45]

〔图44〕



【図48】



フロントページの続き

F ターム(参考) 5C006 AF75 BB16 BC11 BF25 BF34
 BF36 BF37 EB05 FA11 FA47
 5C080 AA10 BB05 DD08 DD26 FF11
 JJ02 JJ03 JJ04 JJ05
 5J066 AA01 AA12 CA36 CA65 CA78
 CA93 FA17 HA10 HA17 HA25
 HA29 HA38 KA05 KA09 KA12
 KA31 KA33 MA02 MA05 MA11
 MA22 ND01 ND14 ND22 ND23
 PD01 SA08 TA01 TA02 TA06